



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I587295 B

(45)公告日：中華民國 106 (2017) 年 06 月 11 日

(21)申請案號：104120775

(22)申請日：中華民國 104 (2015) 年 06 月 26 日

(51)Int. Cl. : G11B20/10 (2006.01)

G11B5/09 (2006.01)

(71)申請人：英業達股份有限公司 (中華民國) INVENTEC CORPORATION (TW)

臺北市士林區後港街 66 號

(72)發明人：褚方傑 CHU, FANG-JIE (CN) ; 汪成 WANG, CHENG (CN)

(74)代理人：許世正

(56)參考文獻：

TW 468855

TW I270854

TW 200707176A

CN 1051383C

US 5247640

US 5696950

US 7363415B2

審查人員：林坤隆

申請專利範圍項數：12 項 圖式數：5 共 20 頁

(54)名稱

硬碟重置裝置

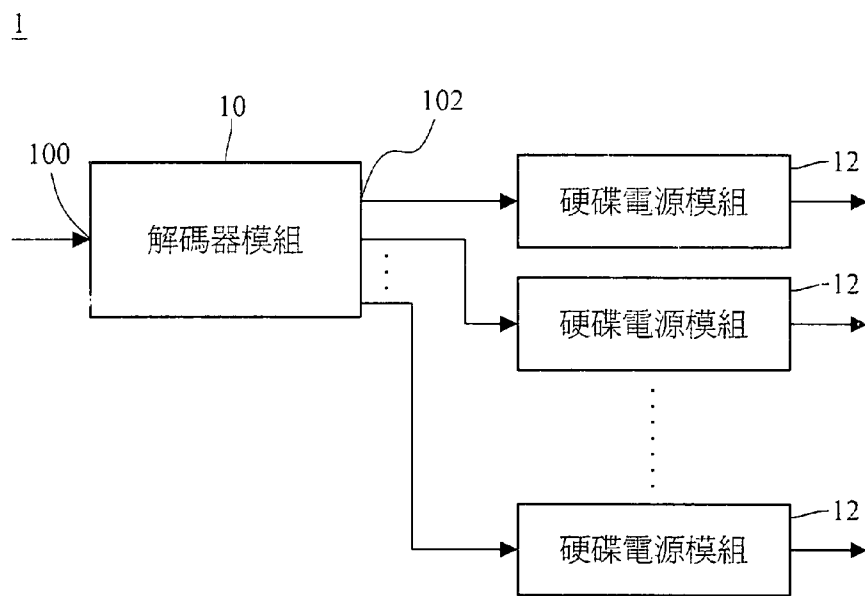
DEVICE FOR RESETTING HARD DISK DRIVE

(57)摘要

一種硬碟重置裝置，包括解碼器以及複數個硬碟電源模組。其中，解碼器電性連接硬碟控制模組。解碼器包括串列輸入輸出(Serial General Purpose Input/Output, SGPIO)端口及複數個輸出接腳。其中，串列輸入輸出端口傳輸硬碟控制模組的第一串列輸入輸出訊號，第一串列輸入輸出訊號包括控制指令。解碼器則依據控制指令選擇複數個輸出接腳以輸出至少一重置訊號。複數個硬碟電源模組中的每一個硬碟電源模組則電性連接對應的輸出接腳。每一個硬碟電源模組係用以提供一輸出電源對一硬碟供電，並依據重置訊號對此至少一輸出電源進行重置。

A device for resetting hard disk drive includes a decoder and multiple power modules. The decoder includes a Serial General Purpose Input/Output (SGPIO) port and multiple output pins. The SGPIO port transmits a first SGPIO signal including a control instruction from a hard disk drive control module. The decoder chooses the output pins according to the control instruction to send at least one reset signal. Each of the power modules is for providing an output power source and resets the output power source according to the reset signal.

指定代表圖：



符號簡單說明：

1 . . . 硬碟重置裝置

10 . . . 解碼器

12 . . . 硬碟電源模
組

100 . . . 輸入端

102 . . . 輸出接腳

第1圖

發明摘要

※ 申請案號：104120775

※ 申請日：104. 6. 26 ※IPC分類：G11B 20/10 (2006.01)

【發明名稱】 硬碟重置裝置 G11B 5/09 (2006.01)

DEVICE FOR RESETTING HARD DISK DRIVE

【中文】

一種硬碟重置裝置，包括解碼器以及複數個硬碟電源模組。其中，解碼器電性連接硬碟控制模組。解碼器包括串列輸入輸出(Serial General Purpose Input/Output, SGPIO)端口及複數個輸出接腳。其中，串列輸入輸出端口傳輸硬碟控制模組的第一串列輸入輸出訊號，第一串列輸入輸出訊號包括控制指令。解碼器則依據控制指令選擇複數個輸出接腳以輸出至少一重置訊號。複數個硬碟電源模組中的每一個硬碟電源模組則電性連接對應的輸出接腳。每一個硬碟電源模組係用以提供一輸出電源對一硬碟供電，並依據重置訊號對此至少一輸出電源進行重置。

【英文】

A device for resetting hard disk drive includes a decoder and multiple power modules. The decoder includes a Serial General Purpose Input/Output (SGPIO) port and multiple output pins. The SGPIO port transmits a first SGPIO signal including a control instruction from a hard disk drive control module. The decoder chooses the output pins according to the control instruction to send at least one reset signal. Each of the power modules is for providing an output power source and resets the output power source according to the reset signal.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

- | | |
|-----|--------|
| 1 | 硬碟重置裝置 |
| 10 | 解碼器 |
| 12 | 硬碟電源模組 |
| 100 | 輸入端 |
| 102 | 輸出接腳 |

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

【發明名稱】 硬碟重置裝置

DEVICE FOR RESETTING HARD DISK DRIVE

【技術領域】

【0001】 本發明係關於一種硬碟重置裝置，特別關於一種用於電腦伺服器系統的硬碟重置裝置。

【先前技術】

【0002】 現今全球資訊爆炸，所以資料的形式與容量也多元與劇增，而一直湧來的資料巨浪就考驗著包括個人、家庭與企業。因此，資料的備份與安全保存也就成了重要的課題。在電腦伺服器系統中，最普遍的儲存裝置即為硬碟。為因應巨量資料的風潮，電腦伺服器系統也從單一硬碟架構搖身變為多個硬碟的複雜系統。當硬碟運作有異時，為維持電腦伺服器系統的正常運作，通常會需要對有異狀的硬碟以斷電或插拔的方式來進行重置。

【0003】 然而，在實務上，由於硬碟系統日益複雜且龐大，傳統的重置方式已不敷使用。因此，如何對運作不正常的硬碟進行重置，以提升電腦伺服器系統的穩定度，並降低電腦伺服器系統損壞的機率，則為研發人員應解決的問題之一。

【發明內容】

【0004】 本發明在於提供一種硬碟重置裝置，以對運作不正常的硬碟進行重置，藉以提升電腦伺服器系統的穩定度。

【0005】 本發明所揭露的硬碟重置裝置，包括解碼器以及複數個硬碟電源模組。其中，解碼器電性連接硬碟控制模組。解碼器包括串列輸入輸出 (Serial General Purpose Input/Output, SGPIO) 端口及複數個輸出接腳。其中，串列輸入輸出端口接收硬碟控制模組傳輸的第一串列輸入輸出訊號，第一串列輸

入輸出訊號包括控制指令。解碼器則依據控制指令選擇複數個輸出接腳以輸出至少一重置訊號。複數個硬碟電源模組中的每一個硬碟電源模組則電性連接對應的輸出接腳。每一個硬碟電源模組係用以提供至少一輸出電源對一硬碟供電，並依據重置訊號對此至少一輸出電源進行重置。

【0006】 在本發明的一實施例中，解碼器依據第一串列輸入輸出訊號進行解碼處理後產生並行資料。並行資料各自對應複數個輸出接腳，解碼器依據控制指令從並行資料選擇複數個輸出接腳以輸出至少一重置訊號。

【0007】 在本發明的一實施例中，控制指令包括複數個符號。解碼器讀取複數個符號，以產生並行資料。並行資料包括複數個位元，複數個位元與複數個符號一一對應。

【0008】 在本發明的一實施例中，串列輸入輸出端口接收第二串列輸入輸出訊號及第三串列輸入輸出訊號。第二串列輸入輸出訊號定義一讀取期間，第三串列輸入輸出訊號定義一時脈。解碼器於讀取期間依據時脈讀取控制指令的複數個符號。

【0009】 在本發明的一實施例中，硬碟電源模組中的每一個硬碟電源模組包括第一電源控制單元及第一重置單元。其中，第一電源控制單元包括第一致能控制端，第一電源控制單元依據第一致能控制端的電壓控制輸出電源中的第一輸出電源的開啓與關閉。第一重置單元則包括第一重置端，第一重置端電性連接對應的輸出接腳，用以接收重置訊號。第一重置單元電性連接第一致能控制端，以依據重置訊號控制第一致能控制端的電壓。

【0010】 在本發明的一實施例中，第一重置單元更包括第一偵測端。第一重置單元依據第一偵測端的電壓及重置訊號控制第一致能控制端的電壓。

【0011】 在本發明的一實施例中，第一重置單元包括第一電晶體、第一電阻以及第二電阻。其中第一電晶體的閘極透過第一電阻電性連接第一重置端，第一重置端透過第二電阻電性連接至地。第一電晶體的源極電性連接至地，第一電晶體的汲極電性連接第一致能控制端。重置訊號將第一重置端的電

壓從低電壓準位提升至高電壓準位，且重置訊號在一預設時間後將第一重置端的電壓恢復至低電壓準位。當第一重置端的電壓處於低電壓準位時，第一電晶體不導通。當第一重置端的電壓處於高電壓準位時，第一電晶體導通，使第一致能控制端透過第一電晶體的汲極導通至地。

【0012】 在本發明的一實施例中，第一重置單元更包括第二電晶體、第三電阻、第一電容以及第一電壓端。其中第二電晶體的閘極電性連接第一偵測端，第二電晶體的源極電性連接至地，第二電晶體的汲極電性連接第一致能控制端。第三電阻的一端電性連接第一電壓端，第三電阻的另一端電性連接第二電晶體的閘極。第一電容的一端電性連接第二電晶體的閘極，第一電容的另一端接地。當第一偵測端的電壓處於低電壓準位，第二電晶體不導通。當第一偵測端的電壓處於高電壓準位時，第二電晶體導通，使第一致能控制端透過第二電晶體的汲極導通至地。

【0013】 在本發明的一實施例中，第一電源控制單元包括限流開關元件、第二電壓端以及第四電阻。限流開關元件包括電源輸入端、接地端、電源輸出接腳以及第一致能控制端。其中電源輸入端電性連接第二電壓端，第四電阻的一端電性連接第二電壓端，第四電阻的另一端電性連接第一致能控制端。當第一致能控制端未導通至地，限流開關元件透過電源輸出接腳輸出第一輸出電源。當第一致能控制端導通至地，限流開關元件停止透過電源輸出接腳輸出第一輸出電源。

【0014】 在本發明的一實施例中，第一電源控制單元更包括第二電容，第二電容的一端電性連接第二電壓端，第二電容的另一端電性連接至地。

【0015】 在本發明的一實施例中，第一電源控制單元更包括第五電阻，限流開關元件更包括限流調整端。第五電阻的一端電性連接限流調整端，第五電阻的另一端電性連接至地。

【0016】 在本發明的一實施例中，硬碟電源模組中的每一個硬碟電源模組更包括第二電源控制單元及第二重置單元。其中，第二電源控制單元包括第

二致能控制端，第二電源控制單元依據第二致能控制端的電壓控制輸出電源中的第二輸出電源的開啓與關閉。第二重置單元則包括第二重置端，第二重置端電性連接第一重置端，用以接收重置訊號。第二重置單元電性連接第二致能控制端，以依據重置訊號控制第二致能控制端的電壓。

【0017】 根據上述本發明所揭露的硬碟重置裝置，利用硬碟重置裝置從硬碟控制模組接收串列輸入輸出訊號，以對運作不正常的硬碟進行重置，不僅能提升電腦伺服器系統的穩定度，亦降低了電腦伺服器系統損壞的機率。因此，在硬碟系統日益複雜且龐大的現況下，可有效降低系統維運的成本與風險。

【0018】 以上關於本發明內容的說明及以下實施方式的說明係用以示範與解釋本發明的原理，並且提供本發明的專利申請範圍更進一步的解釋。

【圖式簡單說明】

【0019】

第 1 圖為本發明一實施例之硬碟重置裝置的架構圖。

第 2 圖為本發明一實施例之解碼的時序示意圖。

第 3 圖為本發明一實施例之硬碟電源模組的架構圖。

第 4 圖為本發明一實施例之硬碟電源模組的電路示意圖。

第 5 圖為本發明另一實施例之硬碟電源模組的架構圖。

【實施方式】

【0020】 請參照第 1 圖，係為本發明一實施例之硬碟重置裝置的架構圖。所述硬碟重置裝置係用於電腦伺服器系統。如第 1 圖所示，硬碟重置裝置 1 包括解碼器 10 以及複數個硬碟電源模組 12。其中，解碼器 10 電性連接電腦伺服器系統中的硬碟控制模組。舉例來說，此硬碟控制模組可為平台控制中心晶片(Platform Controller Hub, PCH)或南橋晶片中的硬碟控制模組，亦可為微處理器中的硬碟控制模組。解碼器 10 並包括串列輸入輸出(Serial General Purpose Input/Output, SGPIO)端口 100 及複數個輸出接腳 102。其中，串列輸入輸出端

□ 100 係用以傳輸硬碟控制模組的第一串列輸入輸出訊號，第一串列輸入輸出訊號包括控制指令。解碼器 10 則依據控制指令選擇複數個輸出接腳以輸出至少一重置訊號。複數個硬碟電源模組 12 中的每一個硬碟電源模組 12 則電性連接對應的輸出接腳 102。每一個硬碟電源模組 12 係用以提供至少一輸出電源對一硬碟供電，並依據重置訊號對此至少一輸出電源進行重置。於實務上，解碼器 10 可為複雜可程式邏輯裝置(Complex Programmable Logic Device, CPLD)、現場可編輯邏輯閘陣列(Field Programmable Gate Array, FPGA)或其他適合的可編程邏輯元件，惟本實施例不以此為限。

【0021】 於一實施例中，解碼器 10 依據第一串列輸入輸出訊號進行解碼處理後產生並行資料，此並行資料各自對應複數個輸出接腳 102，解碼器 10 依據控制指令從並行資料選擇複數個輸出接腳 102 其中之一以輸出重置訊號。舉例來說，此並行資料可包括 5 個並行位元，亦即每一個並行位元的值可為 0 或 1。每一個並行位元係對應複數個輸出接腳 102 其中之一。例如，5 個並行位元分別為 0、0、1、0 及 0 時，則選擇第三個輸出接腳 102 以輸出重置訊號。又如 5 個並行位元分別為 1、0、1、0 及 0 時，則選擇第一個及第三個輸出接腳 102 以輸出重置訊號。藉此，可利用第一串列輸入輸出訊號控制 5 個硬碟的重置。

【0022】 於另一個例子中，多個並行位元可對應到一數值。藉由將不同數值分別對應數個輸出接腳 102 其中之一或是數個輸出接腳 102 其中多個，解碼器 10 可依據此數值選擇多個輸出接腳 102 並同時輸出重置訊號。舉例來說，以 3 個並行位元對應到一數值，並以下表定義數值與輸出接腳 102 的對應關係。

數值	000	001	010	011	100	101	110	111
輸出接腳 編號	不重置	1	2	3	1、2	1、3	2、3	1、2、 3

藉此，可利用串列輸入輸出訊號控制 3 個硬碟的重置。於實務上，數值與輸出接腳 102 的對應不限於此，該發明所屬技術領域之通常知識者可依實際需求設計不同的對應關係。

【0023】 請一併參照第 1 圖及第 2 圖，第 2 圖係為本發明一實施例之串列輸入輸出訊號的時序示意圖。其中橫軸為時間軸，舉例來說，第一串列輸入輸出訊號 S_{23} 可為一串列輸入輸出資料輸出(SGPIO_DOUT) 訊號，其包括控制指令，且控制指令包括複數個符號，每一個符號可為高準位符號或低準位符號。解碼器 10 讀取複數個符號，以產生並行資料，並行資料包括複數個位元，複數個位元與複數個符號係一一對應。舉例來說，如第 2 圖所示，控制指令的前三個符號分別為低準位符號、高準位符號及高準位符號。因此，所產生的並行資料的前三位元可分別為 0、1 及 1。於實務上，更可由串列輸入輸出端口 100 接收第二串列輸入輸出訊號 S_{21} 及第三串列輸入輸出訊號 S_{22} 。舉例來說，第二串列輸入輸出訊號 S_{21} 可為一串列輸入輸出載入(SGPIO_LOAD) 訊號，用以定義讀取期間(時間點 t_1 至時間點 t_2)。第三串列輸入輸出訊號 S_{22} 則可為一串列輸入輸出時脈(SGPIO_CLK) 訊號，用以定義時脈。藉此，解碼器 10 可於讀取期間，依據時脈定時地讀取控制指令中的符號，以產生並行資料。

【0024】 請參照第 3 圖，係為本發明一實施例之硬碟電源模組的架構圖。硬碟電源模組 32 包括第一重置單元 320 以及第一電源控制單元 322。其中，第一電源控制單元 322 包括第一致能控制端 3220，第一電源控制單元 322 依據第一致能控制端 3220 的電壓控制輸出電源中的第一輸出電源的開啓與關閉。再者，第一重置單元 320 包括第一重置端 3200。第一重置端 3200 電性連接第 1 圖中的解碼器 10 中對應的輸出接腳 102，用以接收重置訊號。此外，第一重置單元 320 電性連接第一致能控制端 3220，以依據重置訊號控制第一致能控制端 3220 的電壓。

【0025】 請繼續參照第 3 圖。於一實施例中，第一重置單元 320 更包括第一偵測端 3202。於實務上，第一偵測端 3202 係用以電性連接至一硬碟以接

收硬碟存在訊號。如此，可藉由硬碟存在訊號確認硬碟電源模組 32 是否與硬碟連接。第一重置單元 320 可依據第一偵測端 3202 的電壓及由第一致能控制端 3220 接收的重置訊號控制第一致能控制端 3220 的電壓。舉例來說，當第一重置單元 320 未接收到重置訊號，同時，藉由硬碟存在訊號確認硬碟電源模組 32 並未與硬碟連接，則第一重置單元 320 控制第一致能控制端 3220 的電壓，將第一輸出電源關閉。如此，可避免不必要的供電，以提升系統效率。

【0026】 請參照第 4 圖，係為本發明一實施例之硬碟電源模組的電路示意圖。第一重置單元 420 包括第一電晶體 Q_1 、第一電阻 R_1 以及第二電阻 R_2 。其中第一電晶體 Q_1 的閘極透過第一電阻 R_1 電性連接第一重置端 4200，第一重置端 4200 透過第二電阻 R_2 電性連接至地。再者，第一電晶體 Q_1 的源極電性連接至地，且第一電晶體 Q_1 的汲極電性連接第一致能控制端 4220。舉例來說，當需要進行重置時，重置訊號將第一重置端 4200 的電壓從低電壓準位提升至高電壓準位，且重置訊號在一預設時間後將第一重置端 4200 的電壓恢復至低電壓準位。當第一重置端 4200 的電壓處於低電壓準位時，第一電晶體 Q_1 不導通。當第一重置端 4200 的電壓處於高電壓準位時，第一電晶體 Q_1 導通，使第一致能控制端 4220 透過第一電晶體 Q_1 的汲極導通至地。藉此，可依據重置訊號控制第一致能控制端 4220 的電壓。

【0027】 請繼續參照第 4 圖，於另一實施例中，第一重置單元 420 更包括第二電晶體 Q_2 、第三電阻 R_3 、第一電容 C_1 以及第一電壓端 V_1 。其中，第二電晶體 Q_2 的閘極電性連接第一偵測端 4202，第二電晶體 Q_2 的源極電性連接至地，第二電晶體 Q_2 的汲極電性連接第一致能控制端 4220。再者，第三電阻 R_3 的一端電性連接第一電壓端 V_1 ，第三電阻 R_3 的另一端電性連接第二電晶體 Q_2 的閘極。又第一電容 C_1 的一端電性連接第二電晶體 Q_2 的閘極，第一電容 C_1 的另一端接地。舉例來說，當硬碟存在訊號指示與硬碟連接時，第一偵測端 4202 的電壓處於低電壓準位，第二電晶體 Q_2 不導通。當硬碟存在訊號指示未與硬碟連接時，第一偵測端 4202 的電壓處於高電壓準位時，第二電晶體 Q_2 導通，

使第一致能控制端 4220 透過第二電晶體 Q_2 的汲極導通至地。藉此，可依據重置訊號及硬碟存在訊號控制第一致能控制端 4220 的電壓。

【0028】 請繼續參照第 4 圖，於又一實施例中，第一電源控制單元 422 包括限流開關元件 SW_1 、第二電壓端 V_2 以及第四電阻 R_4 。限流開關元件 SW_1 包括電源輸入端 4222、接地端 4224、電源輸出接腳 4226 以及第一致能控制端 4220。其中，電源輸入端 4222 電性連接第二電壓端 V_2 ，第四電阻 R_4 的一端電性連接第二電壓端 V_2 ，第四電阻的另一端電性連接第一致能控制端 4220。舉例來說，當第一致能控制端 4220 未導通至地，限流開關元件 SW_1 透過電源輸出接腳 4226 輸出第一輸出電源。其中，第一輸出電源係由第二電壓端 V_2 所供給。當第一致能控制端 4220 導通至地，限流開關元件 SW_1 停止透過電源輸出接腳 4226 輸出第一輸出電源。

【0029】 於實務上，第一電源控制單元 422 更可包括第二電容 C_2 。第二電容 C_2 的一端電性連接第二電壓端 V_2 ，第二電容 C_2 的另一端電性連接至地，以做為濾波之用。此外，第一電源控制單元 422 更可包括第五電阻 R_5 ，且限流開關元件 SW_1 更包括限流調整端 4228。其中，第五電阻 R_5 的一端電性連接限流調整端 4228，第五電阻 R_5 的另一端電性連接至地。因此，可藉由調整第五電阻 R_5 的電阻值，控制第一輸出電源的電流大小。

【0030】 請一併參照第 1 圖及第 4 圖，以說明利用串列輸入輸出訊號控制硬碟電源重置的運作方式。首先，當所有硬碟正常運作時，第一重置端 4200 係處於低電壓準位。因此，第一電晶體 Q_1 不導通。此時，若硬碟存在訊號指示與硬碟連接無誤，則第一偵測端 4202 的電壓處於低電壓準位，使得第二電晶體 Q_2 亦不導通。因此，第一致能控制端 4220 的電壓處於高電壓準位，以使限流開關元件 SW_1 透過電源輸出接腳 4226 輸出第一輸出電源。

【0031】 然而，當硬碟控制模組偵測到有硬碟處於不正常的狀態時，硬碟控制模組會利用串列輸入輸出訊號通知硬碟重置裝置 1。當硬碟重置裝置 1 接收到串列輸入輸出訊號後，便利用解碼器 10 進行解碼，以決定要對哪一個

硬碟進行重置。一旦決定後，解碼器 10 便產生一脈衝訊號以做為重置訊號，並傳送至對應的硬碟電源模組 12。此脈衝訊號會將第一重置端 4200 的電壓從低電壓準位提升至高電壓準位，以將第一電晶體 Q_1 導通，使得第一致能控制端 4220 透過第一電晶體 Q_1 的汲極導通至地。當第一致能控制端 4220 導通至地，限流開關元件 SW_1 便會停止透過電源輸出接腳 4226 輸出第一輸出電源。當脈衝訊號結束之後，第一重置端 4200 的電壓又會從高低電壓準位恢復至低電壓準位，以使限流開關元件 SW_1 恢復透過電源輸出接腳 4226 輸出第一輸出電源。如此，即完成一硬碟電源重置的程序。

【0032】 請參照第 5 圖，係為本發明另一實施例之硬碟電源模組的架構圖。於實務上，一硬碟可利用二個不同電壓的電源進行驅動，例如一個 5 伏特的電源及一個 12 伏特的電源。因此，當執行硬碟電源重置程序時，二個電源均須進行重置。所以，硬碟電源模組 52 包括第一重置單元 520 以及第一電源控制單元 522，其耦接關係及運作原理與第 3 圖所示實施例相同，在此不再贅述。與第 3 圖不同的是，硬碟電源模組 52 更包括第二重置單元 524 以及第二電源控制單元 526。其中，第二電源控制單元 526 包括第二致能控制端 5260，第二電源控制單元 526 依據第二致能控制端 5260 的電壓控制輸出電源中的第二輸出電源的開啓與關閉。再者，第二重置單元 524 包括第二重置端 5240。第二重置端 5240 電性連接第一重置端 5200，用以接收重置訊號。此外，第二重置單元 524 電性連接第二致能控制端 5260，以依據重置訊號控制第二致能控制端 5260 的電壓。

【0033】 此外，第二重置單元 524 更可包括第二偵測端 5242 以接收硬碟存在訊號。第二偵測端 5242 依據第二偵測端 5242 的電壓及重置訊號控制第二致能控制端 5260 的電壓。於實務上，第二重置單元 524 以及第二電源控制單元 526 的電路結構相關實施例及其運作方式，均與第一重置單元 520 以及第一電源控制單元 522 相似，在此不再贅述。

【0034】 綜上所述，利用硬碟重置裝置從硬碟控制模組接收串列輸入輸

出訊號，以對運作不正常的硬碟進行重置，不僅能提升電腦伺服器系統的穩定度，亦降低了電腦伺服器系統損壞的機率。此外，利用具編程彈性的解碼器，更可依電腦伺服器系統的特性設計出所需的重置機制，例如將串列輸入訊號轉換為並行資料，藉以提升重置程序的效率。因此，在硬碟系統日益複雜且龐大的現況下，可有效降低系統維運的成本與風險。

【0035】 雖然本發明的實施例揭露如上所述，然並非用以限定本發明，任何熟習相關技藝者，在不脫離本發明的精神和範圍內，舉凡依本發明申請範圍所述的形狀、構造、特徵及數量當可做些許的變更，因此本發明的專利保護範圍須視本說明書所附的申請專利範圍所界定者為準。

【符號說明】

【0036】

1	硬碟重置裝置
10	解碼器
12、32、42、52	硬碟電源模組
100	串列輸入輸出端口
102	輸出接腳
S ₂₁ 、S ₂₂ 、S ₂₃	串列輸入輸出訊號
t ₁ 、t ₂	時間點
320、420、520、524	重置單元
322、422、522、526	電源控制單元
3200、4200、5200、5240	重置端
3202、4202、5242	偵測端
3220、4220、5260	致能控制端
4222	電源輸入端電源
4224	接地端
4226	電源輸出接腳

4228	限流調整端
Q_1 、 Q_2	電晶體
R_1 、 R_2 、 R_3 、 R_4 、 R_5	電阻
C_1 、 C_2	電容
V_1 、 V_2	電壓端
SW_1	限流開關元件

申請專利範圍

1. 一種硬碟重置裝置，用於一電腦伺服器系統，包括：
 - 一解碼器，電性連接一硬碟控制模組，該解碼器包含：
 - 一串列輸入輸出(Serial General Purpose Input/Output, SGPIO)端口，用以傳輸該硬碟控制模組的一控制指令；以及
 - 複數個輸出接腳；
 - 其中，該串列輸入輸出端口傳輸一第一串列輸入輸出訊號，該第一串列輸入輸出訊號包括該控制指令，該解碼器依據該控制指令選擇該複數個輸出接腳以輸出至少一重置訊號；以及
 - 複數個硬碟電源模組，其中每一該硬碟電源模組電性連接對應的該輸出接腳，每一該硬碟電源模組提供一輸出電源給一硬碟供電，並依據該重置訊號對該輸出電源進行重置。
2. 如請求項 1 所述之硬碟重置裝置，其中，該解碼器依據該第一串列輸入輸出訊號進行解碼處理後產生一並行資料，該並行資料各自對應該複數個輸出接腳，該解碼器依據該控制指令從該並行資料選擇該複數個輸出接腳以輸出該至少一重置訊號。
3. 如請求項 2 所述之硬碟重置裝置，其中該控制指令包括複數個符號，該解碼器讀取該複數個符號，以產生該並行資料，該並行資料包括複數個位元，該複數個位元與該複數個符號一一對應。
4. 如請求項 3 所述之硬碟重置裝置，其中該串列輸入輸出端口接收一第二串列輸入輸出訊號及一第三串列輸入輸出訊號，該第二串列輸入輸出訊號定義一讀取期間，該第三串列輸入輸出訊號定義一時脈，該解碼器於該讀取期間，依據該時脈讀取該控制指令的該複數個符號。
5. 如請求項 1 所述之硬碟重置裝置，其中該些硬碟電源模組中的每一該硬碟

電源模組包括：

一第一電源控制單元，包括一第一致能控制端，該第一電源控制單元依據該第一致能控制端的電壓控制該輸出電源中的一第一輸出電源的開啓與關閉；以及

一第一重置單元，包括一第一重置端，該第一重置端電性連接對應的該輸出接腳，用以接收該重置訊號，該第一重置單元電性連接該第一致能控制端，以依據該重置訊號控制該第一致能控制端的電壓。

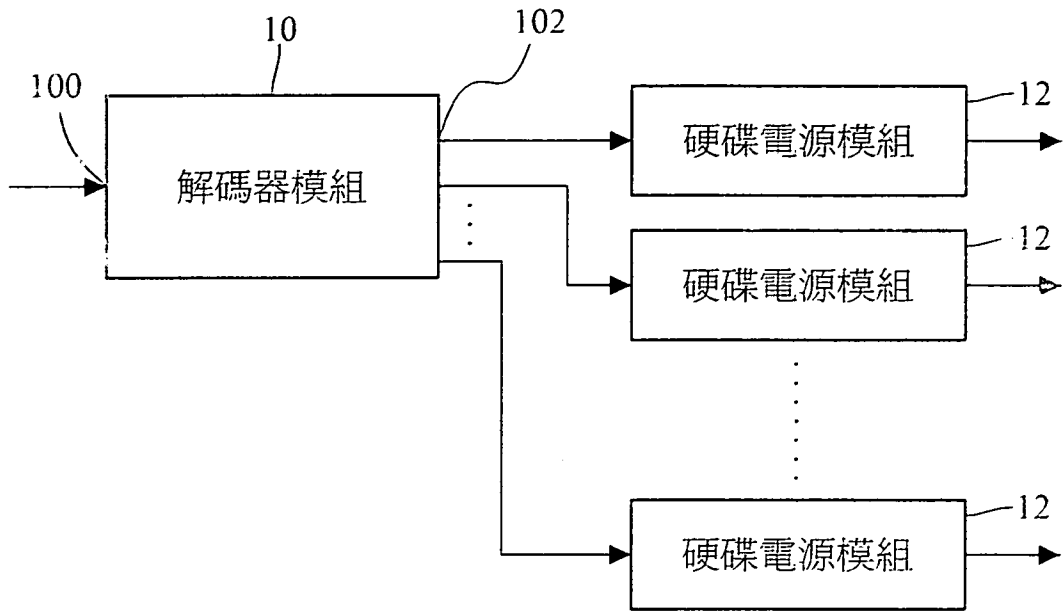
6. 如請求項 5 所述之硬碟重置裝置，其中該第一重置單元更包括一第一偵測端，該第一重置單元依據該第一偵測端的電壓及該重置訊號控制該第一致能控制端的電壓。
7. 如請求項 6 所述之硬碟重置裝置，其中該第一重置單元包括一第一電晶體、一第一電阻以及一第二電阻，其中該第一電晶體的閘極透過該第一電阻電性連接該第一重置端，該第一重置端透過該第二電阻電性連接至地，該第一電晶體的源極電性連接至地，該第一電晶體的汲極電性連接該第一致能控制端，該重置訊號將該第一重置端的電壓從一低電壓準位提升至一高電壓準位，且該重置訊號在一預設時間後將該第一重置端的電壓恢復至該低電壓準位，當該第一重置端的電壓處於該低電壓準位時，該第一電晶體不導通，當該第一重置端的電壓處於該高電壓準位時，該第一電晶體導通，使該第一致能控制端透過該第一電晶體的汲極導通至地。
8. 如請求項 7 所述之硬碟重置裝置，其中該第一重置單元更包括一第二電晶體、一第三電阻、一第一電容以及一第一電壓端，其中該第二電晶體的閘極電性連接該第一偵測端，該第二電晶體的源極電性連接至地，該第二電晶體的汲極電性連接該第一致能控制端，該第三電阻的一端電性連接該第一電壓端，該第三電阻的另一端電性連接該第二電晶體的閘極，該第一電容的一端電性連接該第二電晶體的閘極，該第一電容的另一端接地，當該第一偵測端的電壓處於該低電壓準位，該第二電晶體不導通，當該第一偵

測端的電壓處於該高電壓準位時，該第二電晶體導通，使該第一致能控制端透過該第二電晶體的汲極導通至地。

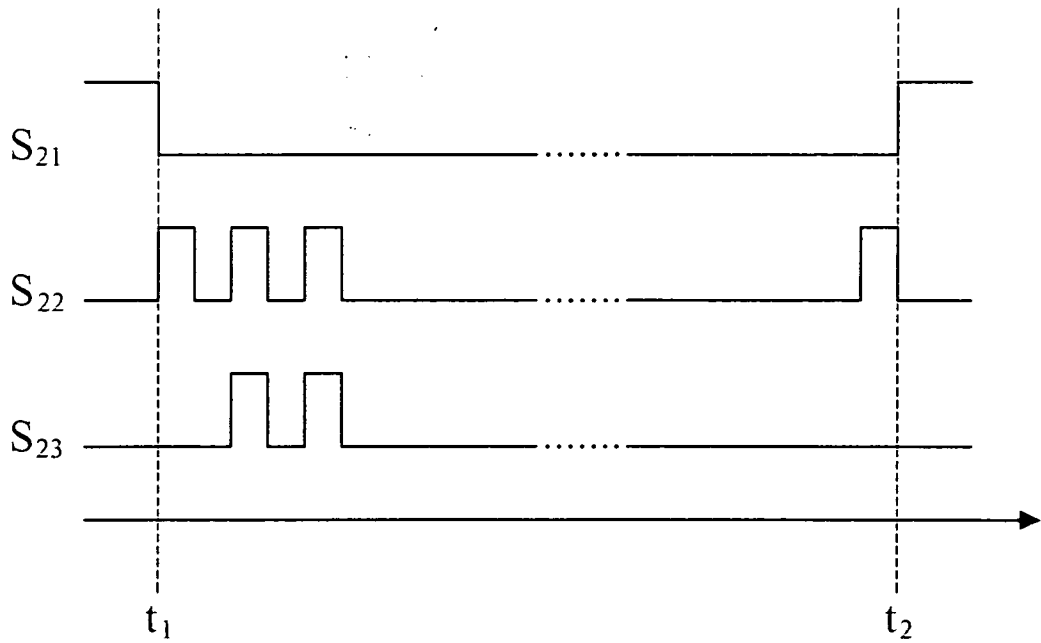
9. 如請求項 5 所述之硬碟重置裝置，其中該第一電源控制單元包括一限流開關元件、一第二電壓端以及一第四電阻，該限流開關元件包括一電源輸入端、一接地端、一電源輸出接腳以及該第一致能控制端，其中該電源輸入端電性連接該第二電壓端，該第四電阻的一端電性連接該第二電壓端，該第四電阻的另一端電性連接該第一致能控制端，當該第一致能控制端未導通至地，該限流開關元件透過該電源輸出接腳輸出該第一輸出電源，當該第一致能控制端導通至地，該限流開關元件停止透過該電源輸出接腳輸出該第一輸出電源。
10. 如請求項 9 所述之硬碟重置裝置，其中該第一電源控制單元更包括一第二電容，該第二電容的一端電性連接該第二電壓端，該第二電容的另一端電性連接至地。
11. 如請求項 9 所述之硬碟重置裝置，其中該第一電源控制單元更包括一第五電阻，該限流開關元件更包括一限流調整端，該第五電阻的一端電性連接該限流調整端，該第五電阻的另一端電性連接至地。
12. 如請求項 5 所述之硬碟重置裝置，其中該些硬碟電源模組中的每一該硬碟電源模組更包括：
 - 一第二電源控制單元，包括一第二致能控制端，該第二電源控制單元依據該第二致能控制端的電壓控制該輸出電源中的一第二輸出電源的開啓與關閉；以及
 - 一第二重置單元，包括一第二重置端，該第二重置端電性連接該第一重置端，用以接收該重置訊號，該第二重置單元電性連接該第二致能控制端，以依據該重置訊號控制該第二致能控制端的電壓。

圖式

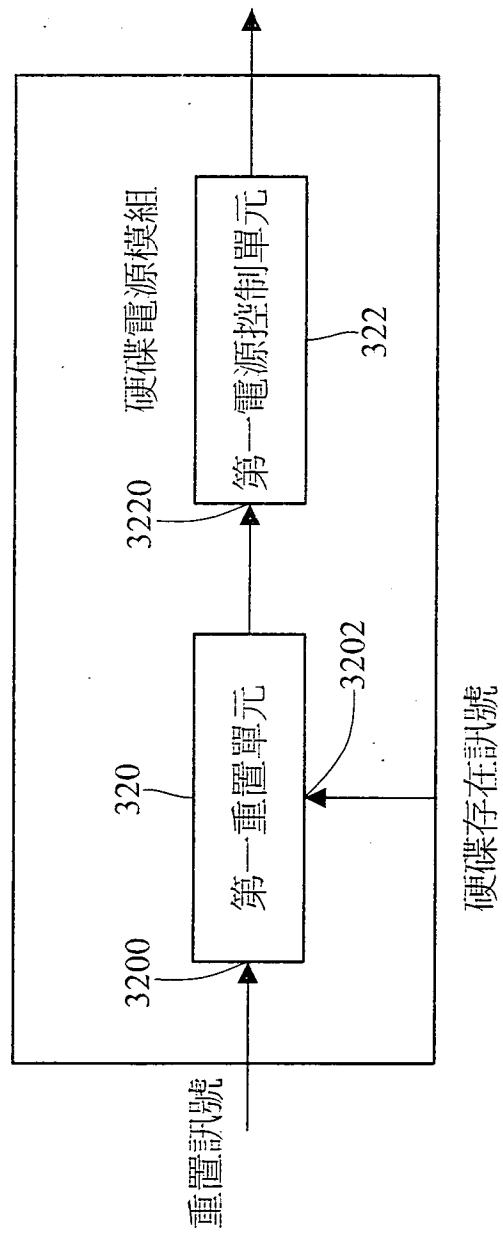
1



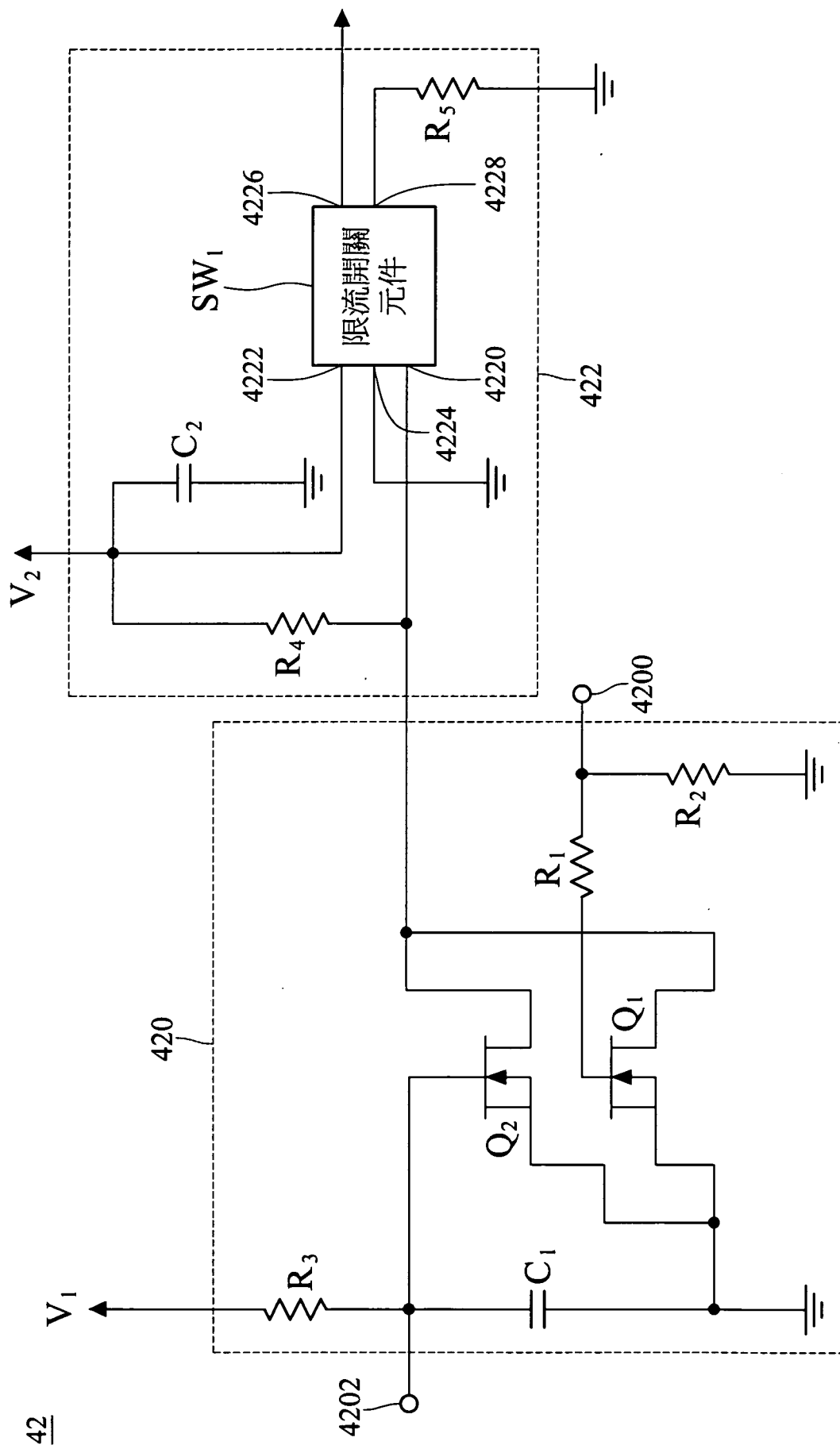
第1圖



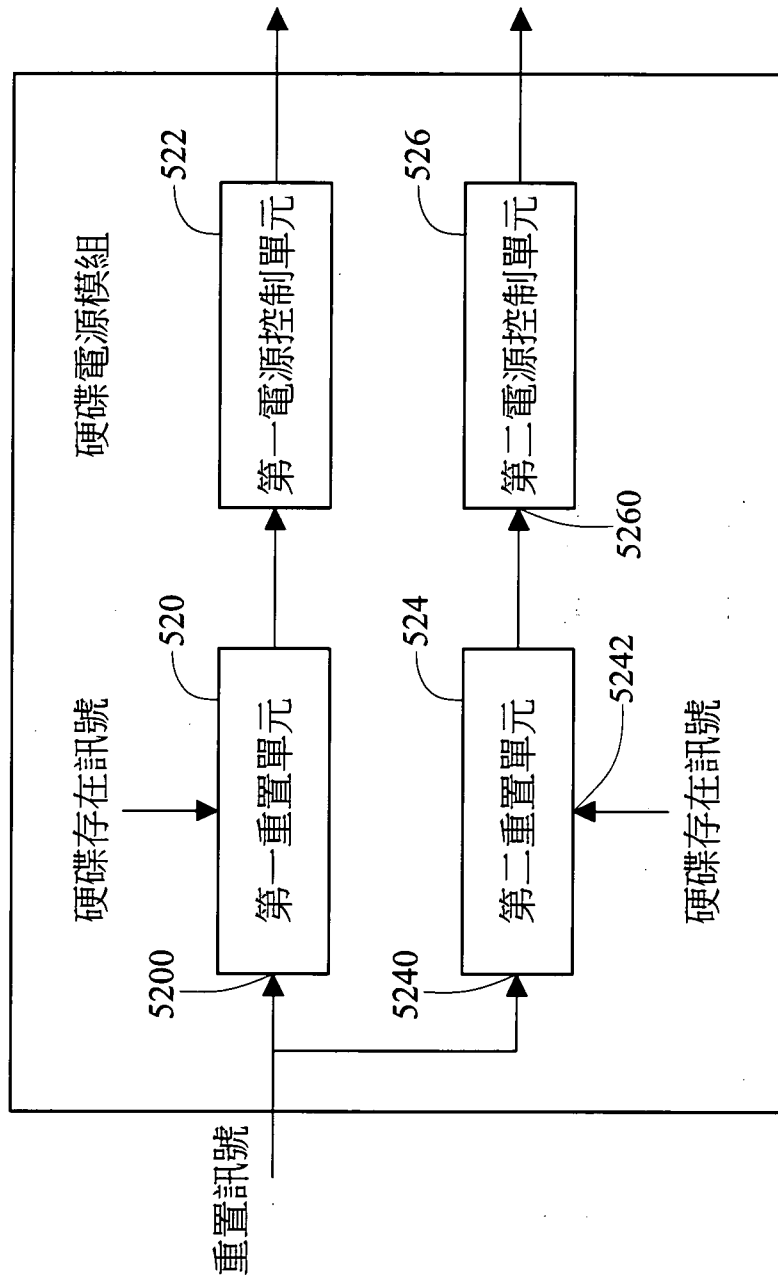
第2圖



第3圖



第4圖



第5圖