



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2013년08월21일  
(11) 등록번호 10-1297662  
(24) 등록일자 2013년08월12일

(51) 국제특허분류(Int. Cl.)

H01L 23/495 (2006.01)

(21) 출원번호 10-2008-0033063

(22) 출원일자 2008년04월10일

심사청구일자 2012년03월27일

(65) 공개번호 10-2009-0107671

(43) 공개일자 2009년10월14일

(56) 선행기술조사문헌

JP05326786 A

JP05160319 A

JP2004228493 A

(73) 특허권자

삼성테크윈 주식회사

경상남도 창원시 성산구 창원대로 1204 (성주동)

(72) 발명자

유상수

경상남도 창원시 성산구 창원대로 1204, 삼성테크윈(주) (성주동)

신동일

경상남도 창원시 성산구 창원대로 1204, 삼성테크윈(주) (성주동)

(74) 대리인

정희환

전체 청구항 수 : 총 3 항

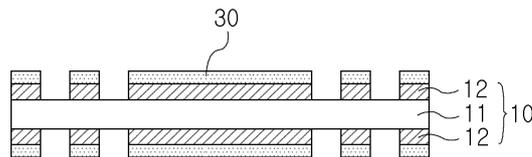
심사관 : 정구원

(54) 발명의 명칭 리드프레임의 제조방법

(57) 요약

본 발명은 리드프레임의 제조방법에 관한 것으로, 더욱 상세하게는 에칭스톱용 제1 금속층의 양면 중 적어도 일면에 제2 금속층을 적층한 2 층 또는 3 층 구조의 금속베이스를 리드프레임 소재로 하되, 추후 완성될 리드프레임의 반도체 칩과의 부착력과 와이어 본딩성 및 납 젖음성을 향상시키기 위한 도금층을 리드프레임 소재 양면에 선택적으로 형성한 후 이 도금층을 마스크로 하여 제2 금속층을 에칭하여 랜드 그리드 어레이(land grid array, LGA)타입의 리드프레임을 완성하는 리드프레임의 제조방법에 관한 것이다.

대표도 - 도2f



## 특허청구의 범위

### 청구항 1

(a) 에칭스탑용 제1 금속층과 상기 제1 금속층의 양면 중 적어도 일면에 적층되는 제2 금속층으로 구성되는 리드프레임 소재를 공급하는 단계와;

(b) 상기 리드프레임 소재의 양면에 포토레지스트를 적층하는 단계와;

(c) 상기 포토레지스트를 선택적으로 노광 및 현상하여 상기 리드프레임 소재의 상에 도금할 영역을 정의하는 단계와;

(d) 상기 노광 및 현상에 의해 상기 포토레지스트가 제거된 부분에 도금층을 형성하는 단계와;

(e) 상기 리드프레임 소재 상에 남아 있는 포토레지스트를 제거하는 단계; 및

(f) 상기 도금층을 마스크로 하여 상기 제2 금속층을 에칭하는 단계;로 구성되는 것을 특징으로 하는 리드프레임의 제조방법.

### 청구항 2

청구항 2은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 제1 금속층은 구리 또는 구리합금으로 구성되고, 상기 제2 금속층은 니켈 또는 니켈합금으로 구성되는 것을 특징으로 하는 리드프레임의 제조방법.

### 청구항 3

청구항 3은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 제1 금속층은 니켈 또는 니켈합금으로 구성되고, 상기 제2 금속층은 구리 또는 구리합금으로 구성되는 것을 특징으로 하는 리드프레임의 제조방법.

### 청구항 4

청구항 4은(는) 설정등록료 납부시 포기되었습니다.

제 1항에 있어서,

상기 도금층은 팔라듐 또는 금이 도금된 단층구조이거나 팔라듐 및 금이 순차적으로 도금된 복층구조인 것을 특징으로 하는 리드프레임의 제조방법.

### 청구항 5

(A) 제 1항 내지 제 4항 중 어느 한 항의 방법에 의하여 제조되는 리드프레임 상에 반도체 칩을 올려 부착하는 단계와;

(B) 상기 리드프레임과 상기 반도체 칩을 전기적으로 연결하는 와이어를 본딩하는 단계와;

(C) 상기 반도체 칩 및 와이어를 수지로 몰딩하여 밀봉하는 단계; 및

(D) 상기 리드프레임의 도금층을 마스크로 하여 상기 제1 금속층을 에칭하는 단계;를 포함하여 구성되는 것을 특징으로 하는 반도체 패키지의 제조방법.

### 청구항 6

제 5항의 방법에 의하여 제조되는 것을 특징으로 하는 반도체 패키지.

## 명세서

**발명의 상세한 설명**

**기술 분야**

[0001] 본 발명은 리드프레임의 제조방법에 관한 것으로, 더욱 상세하게는 에칭스텝용 제1 금속층의 양면 중 적어도 일면에 제2 금속층을 적층한 2 층 또는 3 층 구조의 금속베이스를 리드프레임 소재로 하되, 추후 완성될 리드프레임의 반도체 칩과의 부착력과 와이어 본딩성 및 납 젖음성을 향상시키기 위한 도금층을 리드프레임 소재 양면에 선택적으로 형성한 후 이 도금층을 마스크로 하여 제2 금속층을 에칭하여 랜드 그리드 어레이(land grid array, LGA)타입의 리드프레임을 완성하는 리드프레임의 제조방법에 관한 것이다.

**배경 기술**

[0002] 일반적으로, 리드프레임(lead frame)은 반도체 칩(chip)과 함께 반도체 패키지를 이루는 핵심 구성요소의 하나로서, 반도체 패키지 내부의 반도체 칩을 외부회로와 연결해주는 도선(lead) 역할과 반도체 칩을 지지해주는 지지체(frame) 역할을 한다.

[0003] 이러한 리드프레임은 반도체 칩의 고밀도화, 고집적화 및 기관 실장 방법 등에 따라 다양한 형상으로 제작되어 반도체의 다른 부품, 예를 들면 기억소자인 칩과의 조립과정을 거쳐 반도체 패키지를 이루게 된다.

[0004] 도 1은 랜드 그리드 어레이 타입의 리드프레임을 포함하여 만들어진 반도체 패키지를 도시한 단면도이다.

[0005] 도면에 도시된 바와 같이, 반도체 패키지(90)는 랜드 그리드 어레이(land grid array, LGA) 타입의 리드프레임(91), 리드프레임(91)의 다이패드(91a)에 부착되는 반도체 칩(1), 반도체 칩(1)과 리드프레임(91)의 와이어 본딩패드(91b)를 전기적으로 연결하는 와이어(W), 및 반도체 칩(1) 및 와이어(W)를 외부와 절연하기 위한 몰딩재(2)로 구성된다.

[0006] 이러한 반도체 패키지(90)의 조립 과정에는 반도체 칩 부착 공정, 와이어 본딩 공정, 몰딩 공정이 포함된다.

[0007] 반도체 칩 부착 공정은 반도체 칩(1)을 리드프레임(91)의 다이패드(91a)에 부착시키는 공정이고, 와이어 본딩 공정은 반도체 칩(1)의 단자부와 리드프레임(91)의 와이어 본딩패드(91b) 부분을 금(Au) 또는 알루미늄(A1) 와이어(W)로 접합하여 연결하는 공정이며, 몰딩 공정은 EMC(epoxy mold compound) 수지 등의 절연성 몰딩재(2)로 상기 반도체 칩(1)과 와이어(W) 및 와이어 본딩패드(91b) 부분을 밀봉시키는 공정이다.

[0008] 여기서, 반도체 패키지(90)의 조립 공정에서는 상기 반도체 칩(1)과의 접촉력 및 와이어(W) 본딩성을 개선하기 위하여, 상기 다이패드(91a)와 와이어 본딩패드(91b)에는 은(Ag)과 같이 소정 특성을 갖는 금속 소재를 도포하는 경우가 대부분이다.

[0009] 또한, 몰딩 공정 후 몰딩부 외부에 노출되는 솔더링 랜드(91c)가 기관 실장시 납땀이 잘 되도록 납 젖음성(solder wettability)을 향상하기 위해 상기 솔더링 랜드(91c)의 소정 부위에 주석(Sn) 또는 주석 합금으로 된 솔더링 기초 도금을 행한다.

[0010] 그러나, 상기 솔더링 기초 도금은 과정이 번거롭고, 솔더링 기초 도금 과정에서 리드프레임(91) 표면과 에폭시 몰딩 사이로 도금액이 침투하여 반도체 칩 불량을 야기하는 경우가 빈번히 발생하며, 도금층의 불균일을 제거하기 위하여 추가적인 공정이 필요하다는 문제점이 있다.

[0011] 이러한 문제점을 해결하기 위하여 제안된 것이 선도금 프레임(pre-plated frame, PPF) 방법이다. 이러한 방법은 반도체 조립 공정 전에 납 젖음성이 양호한 소재를 리드프레임(91)의 표면에 미리 도금을 행하는 것이다.

[0012] 이러한 PPF 도금의 일례로서, 리드프레임 소재 위에 중간층으로서 니켈(Ni)층을 도포하고, 최상층으로 납 젖음성이 양호한 팔라듐(Pd) 등을 중간층 상에 전면 또는 부분적으로 도포한 구조의 프레임이 사용되고 있다.

[0013] 한편, 리드프레임(91)의 표면에 납 젖음성이 양호한 소재를 반도체 패키징하기 전에 미리 도금할지라도, 이러한 도금단계는 통상적으로 리드프레임 소재를 에칭하여 일정 패턴으로 형상화하는 에칭단계 이후에 별도로 진행되고 있다.

[0014] 따라서, 종래의 리드프레임 제조방법을 이용하여 납 젖음성 등이 양호한 리드프레임을 제조하기 위해서는 이에 선행되는 에칭단계와는 별도의 포토레지스트 도포 공정 및 마스크 공정이 추가로 수행되어야 하는 문제점이 있다.

[0015] 즉, 리드프레임의 제조방법에 있어 에칭에 의해 패터닝된 다이패드, 와이어 본딩패드 및 솔더링 랜드에 선택적으로 도금을 하기 위해서는 또다시 마스크를 해야하는 번거로움이 있다.

### 발명의 내용

#### 해결 하고자하는 과제

[0016] 따라서, 상기한 종래의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 1 회의 포토레지스트 도포 및 제거 공정을 통해 리드프레임 소재를 도금 및 에칭하여 리드프레임을 완성하는 리드프레임의 제조방법을 제공하는 데에 있다.

[0017] 또한, 본 발명의 다른 목적은 선도금 단계에서 리드프레임의 표면 특성을 향상시키기 위한 별도의 니켈 도금을 필요로 하지 않아 공정이 간소화되는 리드프레임의 제조방법을 제공하는 데에 있다.

[0018] 또한, 본 발명의 또 다른 목적은 2 층 구조의 리드프레임 소재를 이용하여 보다 박형화된 리드프레임을 제조할 수 있는 리드프레임의 제조방법을 제공하는 데에 있다.

#### 과제 해결수단

[0019] 상기한 목적을 달성하기 위한 기술적인 구성으로서, 본 발명의 일 측면에 따른 리드프레임의 제조방법은 (a) 에칭스톱용 제1 금속층과 상기 제1 금속층의 양면 중 적어도 일면에 적층되는 제2 금속층으로 구성되는 리드프레임 소재를 공급하는 단계와, (b) 상기 리드프레임 소재의 양면에 포토레지스트를 적층하는 단계와, (c) 상기 포토레지스트를 선택적으로 노광 및 현상하여 상기 리드프레임 소재의 상에 도금할 영역을 정의하는 단계와, (d) 상기 노광 및 현상에 의해 상기 포토레지스트가 제거된 부분에 도금층을 형성하는 단계와, (e) 상기 리드프레임 소재 상에 남아 있는 포토레지스트를 제거하는 단계 및 (f) 상기 도금층을 마스크로 하여 상기 제2 금속층을 에칭하는 단계로 구성되는 것을 특징으로 한다.

[0020] 또한, 본 발명에 따른 리드프레임의 제조방법에 있어서, 상기 제1 금속층은 구리 또는 구리합금으로 구성되고, 상기 제2 금속층은 니켈 또는 니켈합금으로 구성되는 것을 특징으로 한다.

[0021] 또한, 본 발명에 따른 리드프레임의 제조방법에 있어서, 상기 제1 금속층은 니켈 또는 니켈합금으로 구성되고, 상기 제2 금속층은 구리 또는 구리합금으로 구성되는 것을 특징으로 한다.

[0022] 아울러, 본 발명에 따른 리드프레임의 제조방법에 있어서, 상기 도금층은 팔라듐 또는 금이 도금된 단층구조이거나 팔라듐 및 금이 순차적으로 도금된 복층구조인 것을 특징으로 한다.

[0023] 또한, 상기한 목적을 달성하기 위한 기술적인 구성으로서, 본 발명의 다른 측면에 따른 반도체 패키지의 제조방법은 (A) 상기한 리드프레임의 제조방법에 의하여 제조되는 리드프레임 상에 반도체 칩을 올려 부착하는 단계와, (B) 상기 리드프레임과 상기 반도체 칩을 전기적으로 연결하는 와이어를 본딩하는 단계와, (C) 상기 반도체 칩 및 와이어를 수지로 몰딩하여 밀봉하는 단계 및 (D) 상기 리드프레임의 도금층을 마스크로 하여 상기 제1 금속층을 에칭하는 단계를 포함하여 구성되는 것을 특징으로 한다.

[0024] 아울러, 상기한 목적을 달성하기 위한 기술적인 구성으로서, 본 발명의 또 다른 측면에 따른 반도체 패키지는 상기한 반도체 패키지의 제조방법에 의하여 제조되는 것을 특징으로 한다.

#### 효과

[0025] 이상에서 살펴본 바와 같이, 본 발명에 따른 리드프레임의 제조방법은 에칭스톱용 제1 금속층의 양면 중 적어도 일면에 제2 금속층을 적층한 2 층 또는 3 층 구조의 금속베이스를 리드프레임 소재로 하되, 반도체 칩과의 부착력과 와이어 본딩성 및 납 젖음성을 향상시키기 위한 도금층을 리드프레임 소재 양면에 선택적으로 형성한 후 이 도금층을 마스크로 하여 제2 금속층을 에칭함으로써, 즉 1 회의 포토레지스트 도포 및 제거 공정을 통해 종래의 리드프레임과 동일한 특성의 랜드 그리드 어레이 타입의 리드프레임을 보다 간소화된 공정으로 제조하는 효과가 있다.

[0026] 또한, 본 발명에 따른 리드프레임의 제조방법은 바깥표면이 니켈로 적층된 금속베이스를 리드프레임 소재로 하여 리드프레임을 제조하므로, 선도금 단계에서 리드프레임의 산화 방지를 위해 니켈도금층을 형성하는 종래의 제조방법과 달리, 별도의 니켈도금층 형성 단계를 필요치 않아 공정을 보다 간소시키는 효과가 있다.

[0027] 또한, 본 발명에 따른 리드프레임의 제조방법은 리드프레임을 제조시에 종래의 3 층 구조의 금속베이스를 대체하여 2 층 구조의 리드프레임을 사용함으로써, 보다 박형화된 리드프레임을 제조할 수 있는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

[0028] 이하, 본 발명의 바람직한 실시 예를 첨부한 도면에 의거하여 더욱 상세하게 설명하기로 한다.

[0029] 도 2a 내지 도 2f는 본 발명의 일 실시 예에 리드프레임의 제조방법을 순차적으로 나타내는 공정단면도이고, 도 3a 내지 도 3f는 본 발명의 다른 실시 예에 따른 리드프레임의 제조방법을 순차적으로 나타내는 공정단면도이다.

[0030] 여기서, 도 2a 내지 도 2f는 2 층으로 적층된 리드프레임 소재(10)를, 도 3a 내지 도 3f는 3 층으로 적층된 리드프레임 소재(10)를 각각 이용하는 실시 예로서, 그 제조방법에 있어 크게 상이하지 않으므로 한 번에 설명하기로 한다.

[0031] 본 발명에 따른 리드프레임의 제조방법은, 먼저 도 2a 및 도 3a에 도시된 바와 같이, 에칭스톱용 제1 금속층(11)과 상기 제1 금속층(11)의 양면 중 적어도 일면에 적층되는 제2 금속층(12)으로 구성되는 리드프레임 소재(10)를 공급한다.

[0032] 이때, 상기 제1 금속층(11)의 양면 모두에 상기 제2 금속층(12)이 적층된 예는 도 2a에 도시하였고, 상기 제1 금속층(11)의 어느 한 면에 상기 제2 금속층(12)이 적층된 예는 도 3a에 도시하였다.

[0033] 여기서, 상기 리드프레임 소재(10)의 제1 및 제2 금속층(11, 12)은 강도가 높고 연성이 좋아야 하며 전기 및 열 전도도가 높은 금속으로 형성하되, 각각 서로 다른 에칭액에 의해 에칭되도록 서로 다른 금속으로 형성되어야 한다.

[0034] 일 예로, 상기 리드프레임 소재(10)는 상기 제1 금속층(11)으로서 구리 또는 구리합금을 사용하는 경우, 상기 제2 금속층(12)으로서는 니켈 또는 니켈합금으로 각각 사용함이 바람직하다.

[0035] 다른 예로, 상기 리드프레임 소재(10)는 상기 제1 금속층(11)으로서 니켈 또는 니켈합금을 사용하는 경우, 상기 제2 금속층(12)으로서는 구리 또는 구리합금으로 형성함이 바람직하다.

[0036] 한편, 상기한 리드프레임 소재(10)에 있어서, 상기 제1 및 제2 금속층(11, 12)의 적층방법은 특정 방법으로 한정되지는 않으며, 일 예로 도금 또는 클래딩(cladding) 등의 방법을 이용할 수 있다.

[0037] 이어서, 상기 리드프레임 소재(10)가 마련되면, 상기 리드프레임 소재(10)의 표면에 묻어 있던 이물질 및 지방분을 제거하고, 이후의 도금 및 에칭 공정이 용이하게 이루어지도록 표면처리한다.

[0038] 그리고 나서, 도 2b 및 도 3b에 도시된 바와 같이, 상기 리드프레임 소재(10)의 적어도 일 표면에 포토레지스트필름을 접착하거나 포토레지스트액을 도포한 후 경화시켜 포토레지스트(20)를 적층한다.

[0039] 이어서, 도 2c 및 도 3c에 도시된 바와 같이, 상기 포토레지스트(20)를 선택적으로 노광 및 현상하여 차체에 도금할 영역을 정의한다.

[0040] 이 과정에서 정의되는 도금영역은 추후 완성될 리드프레임의 반도체 칩이 부착되는 다이패드, 반도체 칩과의 연결을 위한 다수의 와이어 본딩패드 및 외부회로와의 연결을 위한 다수의 솔더링 랜드에 대응되는 영역을 의미한다.

[0041] 여기서, 상기 솔더링 랜드 영역은 통상의 랜드 그리드 어레이(land grid array, LGA) 타입의 리드프레임에서와 마찬가지로 상기 와이어 본딩패드 영역의 이면을 의미한다.

[0042] 즉, 상기 포토레지스트(20)가 제거되어 외부로 노출되는 리드프레임 소재(10)의 표면 중 중앙부분은 다이패드 영역이고, 상기 다이패드 영역을 기준으로 방사상으로 배치되는 부분은 일면이 와이어 본딩패드 영역, 타면이 솔더링 랜드이다.

[0043] 아울러, 상기 포토레지스트(20)가 남아있는 리드프레임 소재(10) 표면의 제2 금속층(12)은 후술되는 도

2f 및 도 3f의 공정에 의해 에칭될 영역을 의미한다.

[0044] 한편, 이러한 노광 및 현상 공정은 원하는 패턴에 대응되는 마스크가 설치되는 현상장치에 의해 진행되며, 상기 포토레지스트(20)의 성질에 따라 포지티브(positive) 또는 네거티브(negative) 방식으로 현상된다.

[0045] 그리고 나서, 도 2d 및 도 3d에 도시된 바와 같이, 상기 노광 및 현상에 의해 포토레지스트(20)가 제거된 부분에 도금층(30)을 형성한다.

[0046] 이때, 상기 도금층(30)은 상기 다이패드 영역, 와이어 본딩패드 영역 및 솔더링 랜드 영역의 다이특성(반도체 칩과의 접착력), 와이어 본딩성 및 납 젖음성(solder wettability)을 각각 향상시키기 위한 것으로, 팔라듐 또는 금을 이용하여 도금한다.

[0047] 다만, 상기 도금층(30)은 팔라듐 또는 금 도금의 단층 구조로 특히 한정되는 것이 아니라, 팔라듐 및 금을 순차적으로 도금한 복층 구조로도 형성될 수 있다.

[0048] 이어서, 도 2e 및 도 3e에 도시된 바와 같이, 상기 리드프레임 소재(10) 상에 남아 있는 포토레지스트(20)를 제거한다.

[0049] 마지막으로, 도 2f 및 도 3f에 도시된 바와 같이, 상기 도금층(30)을 마스크로 하여 상기 리드프레임 소재(10)의 제2 금속층(12)을 에칭하여 랜드 그리드 어레이 타입의 리드프레임을 완성한다.

[0050] 이때, 상기 와이어 본딩패드 및 솔더링 랜드 영역의 도금층(30)은 에칭되지 않고 와이어 본딩성 및 납 젖음성을 그대로 유지하게 되고, 상기 제1 금속층(11) 역시 에칭되지 않고 에칭스톱층으로서 기능하게 된다.

[0051] 한편, 상기 제1 금속층(11)이 에칭되지 않고 남아 있어 상기 다수의 와이어 본딩패드(또는 솔더링 랜드)끼리 서로 단락된 상태를 유지하게 되는데, 이는 추후 반도체 패키징 이후에 상기 도금층(30)을 마스크로 하여 상기 제1 금속층(11)을 백에칭(back etching)함으로써 서로 이격되면서 절연될 수 있다.

[0052] 이상에서 설명된 본 발명의 리드프레임의 제조방법에 의해 도 2f 및 도 3f에 도시된 리드프레임이 완성되면, 후술되는 반도체 칩과의 조립과정을 거쳐 반도체 패키지를 이루게 된다.

[0053] 도 4a 및 도 4c는 본 발명에 따른 리드프레임의 제조방법에 의해 제조된 리드프레임을 이용하여 반도체 칩과 함께 반도체 패키지로 제작하는 공정을 순차적으로 도시한 단면도이다.

[0054] 도 4a에 도시된 바와 같이, 도 2f에 도시된 리드프레임의 다이패드 위에 반도체 칩(1)을 올려 부착하고, 와이어 본딩을 통해 상기 반도체 칩(1)의 각 전극과 상기 리드프레임의 각 와이어 본딩패드를 전기적으로 연결한다.

[0055] 이어서, 도 4b에 도시된 바와 같이, 상기 반도체 칩(1), 와이어 본딩패드 및 와이어 상에 EMC(epoxy mold compoun) 등의 몰딩재(2)로 몰딩한다.

[0056] 아울러, 도 4c에 도시된 바와 같이, 상기 리드프레임의 솔더링 랜드 영역에 도금된 도금층(30)을 마스크로 하여 상기 리드프레임의 제1 금속층(11)을 에칭한다. 이때, 상기 몰딩재(2)는 에칭되지 않고 에칭스톱층으로서 기능한다.

[0057] 이로써, 상기 반도체 칩(1), 리드프레임의 와이어 본딩패드 및 와이어가 상기 몰딩재(2) 내부에 봉입되어 외부와 절연되는 동시에 외부의 오염으로부터 보호된다.

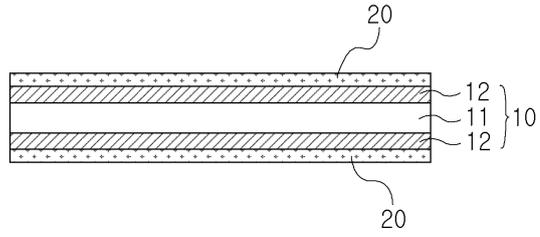
[0058] 한편, 도 4a 내지 도 4c의 반도체 패키징 공정은 도 2f에 도시된 리드프레임을 이용한 예를 도시하고 있으나, 도 3f에 도시된 리드프레임을 이용한 예와 그 공정의 차이가 없으므로 도 2f에 도시된 리드프레임 대신에 도 3f의 리드프레임으로 대체할 수 있음은 물론이다.

[0059] 이때, 2 층 구조의 리드프레임 소재를 이용함을 인해 보다 박형화된 반도체 패키지는 도 5에 도시된 바와 같다.

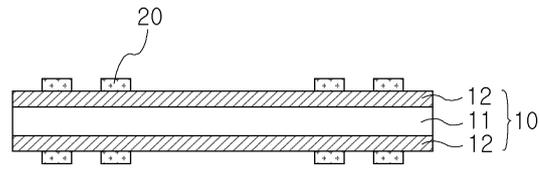
[0060] 이상 설명한 바와 같이, 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시 예에 관하여 설명하였으나, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 본 발명의 범주에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다. 따라서 본 발명의 권리 범위는 설명된 실시 예에 국한되어 정해져서는 안 되며, 후술하는 특허청구범위뿐만 아니라, 이와 균등한 것들에 의해 정해져야 한다.



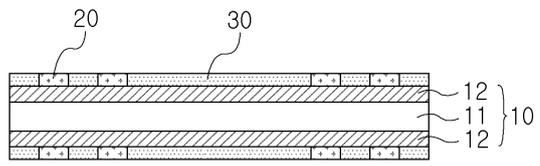
도면2b



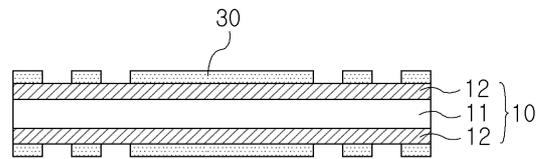
도면2c



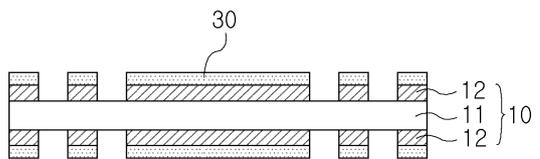
도면2d



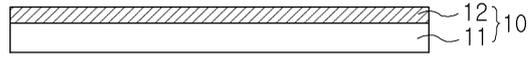
도면2e



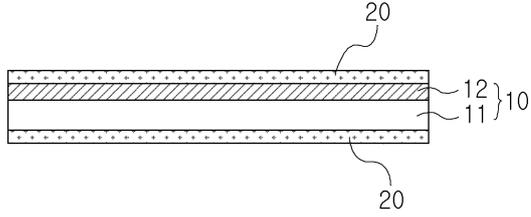
도면2f



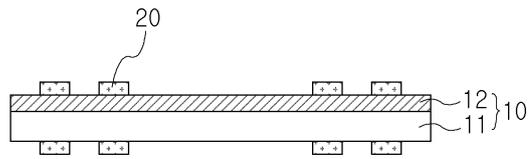
도면3a



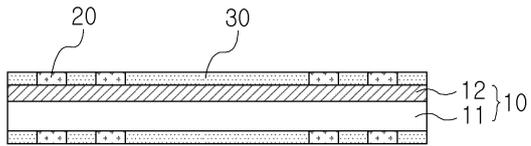
도면3b



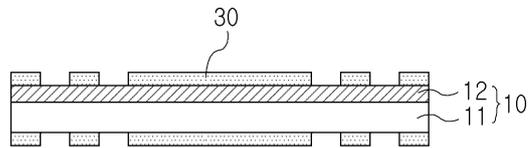
도면3c



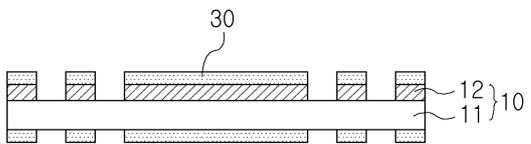
도면3d



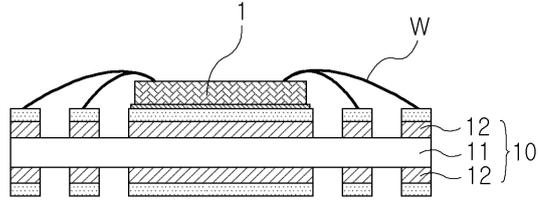
도면3e



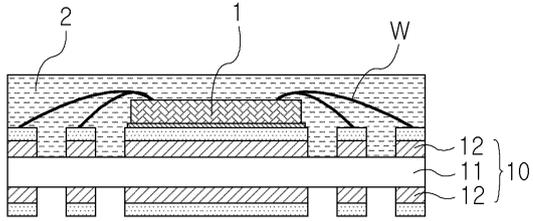
도면3f



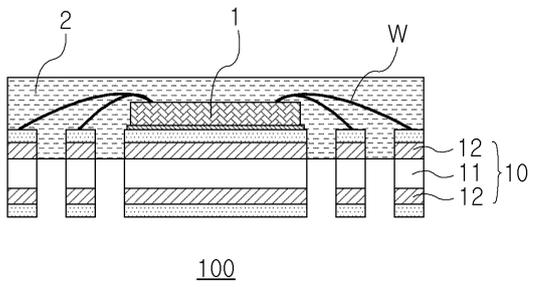
도면4a



도면4b



도면4c



도면5

