



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년10월29일
(11) 등록번호 10-2170879
(24) 등록일자 2020년10월22일

(51) 국제특허분류(Int. Cl.)
H04N 5/369 (2011.01) H04N 5/335 (2011.01)
(21) 출원번호 10-2014-0046988
(22) 출원일자 2014년04월18일
심사청구일자 2019년03월19일
(65) 공개번호 10-2015-0120814
(43) 공개일자 2015년10월28일
(56) 선행기술조사문헌
JP2007235856 A*
US20100097507 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
이혁중
경기도 용인시 수지구 신수로 615, 603호 (풍덕천동)
서진호
서울특별시 관악구 성현로 80, 103동 101호 (봉천동, 관악드림타운아파트)
(74) 대리인
특허법인가산

전체 청구항 수 : 총 8 항

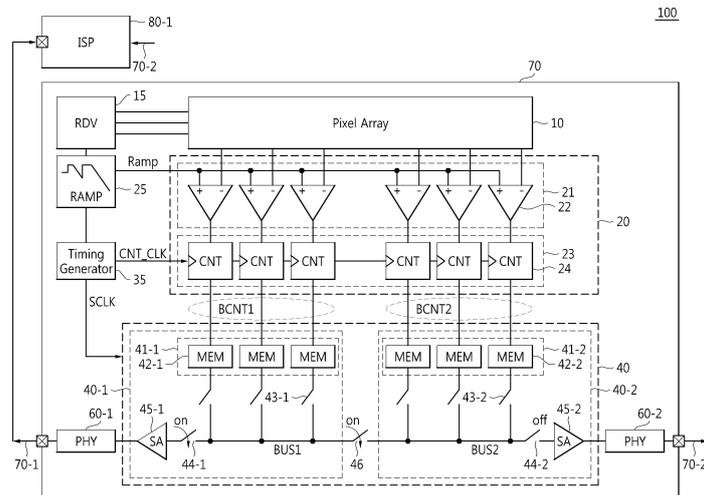
심사관 : 양정미

(54) 발명의 명칭 이미지 센서와 이를 포함하는 이미지 처리 시스템

(57) 요약

본 발명의 실시 예에 따른 이미지 센서는 복수의 픽셀들을 포함하는 픽셀 어레이와, 상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기와, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 제1이미지 데이터를 출력하는 제1클러스터와, 상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 제2이미지 데이터를 출력하는 제2클러스터와, 상기 제1클러스터와 상기 제2클러스터에 연결된 적어도 하나의 클러스터 스위치와, 제1채널과, 제2채널을 포함하고, 설정된 동작 모드에 기초하여 상기 제1이미지 데이터와 상기 제2이미지 데이터 중에서 적어도 하나를 상기 제1채널과 상기 제2채널 중에서 적어도 하나의 채널로 전송한다.

대표도 - 도1



(72) 발명자

장영태

경기도 평택시 현신3길 76, 201동 103호 (용이동,
푸르지오2차아파트)

서성호

경기도 화성시 동탄반석로 264, 107동 604호 (석우
동, 동탄 예당마을대우푸르지오아파트)

정진영

경기도 안산시 단원구 당곡2로 30, 907동 1007호
(고잔동, 주공9단지아파트)

명세서

청구범위

청구항 1

복수의 픽셀들을 포함하는 픽셀 어레이;

상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기;

상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 제1이미지 데이터를 출력하는 제1클러스터;

상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 제2이미지 데이터를 출력하는 제2클러스터;

상기 제1클러스터와 상기 제2클러스터에 연결된 적어도 하나의 클러스터 스위치;

제1채널;

제2채널;

제1 파이; 및

제2 파이를 포함하고,

설정된 동작 모드에 기초하여 상기 제1이미지 데이터와 상기 제2이미지 데이터 중에서 적어도 하나를 상기 제1 채널과 상기 제2채널 중에서 적어도 하나의 채널로 전송하고,

상기 제1 클러스터는 상기 제1 그룹의 디지털 신호들을 수신하여 저장하는 제1 버퍼 메모리 블록, 상기 제1 버퍼 메모리 블록에 저장된 상기 제1 그룹의 디지털 신호들을 전송받는 제1 데이터 버스 및 상기 제1 데이터 버스와 접속된 제1 센스 앰프를 포함하고,

상기 제1 파이는 상기 제1 센스 앰프와 상기 제1 채널 사이에 접속되고 상기 제1 센스 앰프의 출력 신호의 프로토콜을 변환하고,

상기 제2 클러스터는 상기 제2 그룹의 디지털 신호들을 수신하여 저장하는 제2 버퍼 메모리 블록, 상기 제2 버퍼 메모리 블록에 저장된 상기 제2 그룹의 디지털 신호들을 전송받는 제2 데이터 버스 및 상기 제2 데이터 버스와 접속된 제2 센스 앰프를 포함하고,

상기 제2 파이는 상기 제2 센스 앰프와 상기 제2 채널 사이에 접속되고 상기 제2 센스 앰프의 출력 신호의 프로토콜을 변환하고,

상기 적어도 하나의 클러스터 스위치는,

상기 제1채널과 상기 제1클러스터 사이에 접속된 제1클러스터 스위치;

상기 제1클러스터 및 상기 제2클러스터 사이에 직렬로 연결된 제2클러스터 스위치와 제3클러스터 스위치;

상기 제2클러스터와 상기 제2채널 사이에 연결된 제4클러스터 스위치를 포함하고,

상기 제1클러스터는 상기 제1클러스터 스위치와 상기 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 상기 제3클러스터 스위치와 상기 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

상기 설정된 동작 모드에 기초하여 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는, 서로 접속된 상기 제2클러스터 스위치와 상기 제3클러스터 스위치를 통해, 상기 복수의 제1뱅크 버퍼 유닛들 각각으로 전송되는 이미지 센서.

청구항 2

제1항에 있어서, 상기 제1클러스터는,

상기 제1버퍼 메모리 블록에 저장된 상기 제1그룹의 디지털 신호들을 상기 제1데이터 버스로 전송하는 제1컬럼 스위치들; 및

상기 제1데이터 버스와 상기 제1센스앰프 사이에 접속된 제1버스 스위치를 포함하는 이미지 센서.

청구항 3

제2항에 있어서, 상기 제2클러스터는,

상기 제2버퍼 메모리 블록에 저장된 상기 제2그룹의 디지털 신호들을 상기 제2데이터 버스로 전송하는 제2컬럼 스위치들; 및

상기 제2데이터 버스와 상기 제2센스앰프 사이에 접속된 제2버스 스위치를 포함하는 이미지 센서.

청구항 4

제3항에 있어서,

상기 적어도 하나의 클러스터 스위치는 상기 제1데이터 버스와 제2데이터 버스 사이에 접속되는 이미지 센서.

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 복수의 제1뱅크 버퍼 유닛들 각각과 상기 복수의 제2뱅크 버퍼 유닛들 각각 중 적어도 하나로 전송되는 뱅크 어드레스는 상기 제1클러스터 스위치와 제4클러스터 스위치 중에서 어느 하나로 입력되는 이미지 센서.

청구항 8

제1항에 있어서,

상기 제1클러스터는 상기 제1채널에 접속된 제1클러스터 스위치와 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 제3클러스터 스위치와 상기 제2채널에 접속된 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

상기 설정된 동작 모드에 기초하여 상기 제2클러스터 스위치와 상기 제3클러스터 스위치는 서로 분리되고,

상기 복수의 제1뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제1클러스터 스위치를 통해 상기 제1채널로 전송되고,

상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제4클러스터 스위치를 통해 상기 제2채널로 전송되는 이미지 센서.

청구항 9

제1항에 있어서,

상기 제1클러스터는 상기 제1채널에 접속된 제1클러스터 스위치와 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 제3클러스터 스위치와 상기 제2채널에 접속된 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터 스위치와 상기 제3클러스터 스위치는 서로 분리되고,

상기 복수의 제1뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제1클러스터 스위치를 통해 상기 제1채널로 전송되고,

상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제3클러스터 스위치를 통해 상기 제2채널로 전송되고,

상기 복수의 제1뱅크 버퍼 유닛들로 전송되는 제1뱅크 어드레스는 상기 제2클러스터 스위치를 통해 입력되고,

상기 복수의 제2뱅크 버퍼 유닛들로 전송되는 제2뱅크 어드레스는 상기 제4클러스터 스위치를 통해 입력되는 이미지 센서.

청구항 10

이미지 센서; 및

제1채널을 통해 상기 이미지 센서와 접속된 제1이미지 신호 프로세서를 포함하고,

상기 이미지 센서는,

복수의 픽셀들을 포함하는 픽셀 어레이;

상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기;

상기 제1채널에 접속되고, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 출력하는 제1클러스터;

상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 출력하는 제 2 클러스터;

상기 제1클러스터와 상기 제2클러스터 사이에 접속된 적어도 하나의 클러스터 스위치;

제1 파이프; 및

제2 파이프를 포함하고,

상기 제1 클러스터는 상기 제1 그룹의 디지털 신호들을 수신하여 저장하는 제1 버퍼 메모리 블록, 상기 제1 버퍼 메모리 블록에 저장된 상기 제1 그룹의 디지털 신호들을 전송받는 제1 데이터 버스 및 상기 제1 데이터 버스와 접속된 제1 센스 앰프를 포함하고,

상기 제1 파이프는 상기 제1 센스 앰프와 상기 제1 채널 사이에 접속되고 상기 제1 센스 앰프의 출력 신호의 프로토콜을 변환하고,

상기 적어도 하나의 클러스터 스위치는,

상기 제1채널과 상기 제1클러스터 사이에 접속된 제1클러스터 스위치;

상기 제1클러스터 및 상기 제2클러스터 사이에 직렬로 연결된 제2클러스터 스위치와 제3클러스터 스위치;

상기 제2클러스터와 상기 제2채널 사이에 연결된 제4클러스터 스위치를 포함하고,

상기 제1클러스터는 상기 제1클러스터 스위치와 상기 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 상기 제3클러스터 스위치와 상기 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

설정된 동작 모드에 기초하여 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는, 서로 접속된 상기 제2클러스터 스위치와 상기 제3클러스터 스위치를 통해, 상기 복수의 제1뱅크 버퍼 유닛들 각각으로 전송되는 이미지 처리 시스템.

발명의 설명

기술 분야

본 발명의 개념에 따른 실시 예는 이미지 센서에 관한 것으로, 특히 가변적인 채널 인터페이스를 기반으로 감지된 이미지 데이터의 전송 속도와 전송 채널의 개수를 제어할 수 있는 이미지 센서와 이를 포함하는 이미지 처리

[0001]

시스템에 관한 것이다.

배경 기술

- [0002] 카메라를 이용하여 이미지 데이터를 감지하고 저장하고자 할 때, 상기 이미지 데이터는 이미지 센서(image sensor)에 의해 획득된다. 상기 이미지 센서는 빛을 감지하는 복수의 픽셀들을 포함하며, 상기 복수의 픽셀들에 의해 감지된 이미지 데이터는 상기 이미지 센서의 내부의 메모리에 저장되고, 상기 메모리에 저장된 상기 이미지 데이터는 처리를 위하여 상기 이미지 센서에 연결된 이미지 신호 프로세서(image signal processor(ISP))로 전송된다.
- [0003] 이미지 센서로부터 ISP로 전송되는 이미지 데이터의 크기(또는 양)는 상기 이미지 센서에 포함된 픽셀의 개수와 저장가능한 프레임 레이트(frame rate)에 따라 달라질 수 있다.
- [0004] 이미지 센서의 사양(specification)이 결정되면, 상기 이미지 센서는 상기 사양에 따라 주문 제작된다(customize). 이 경우, 상기 이미지 센서에 구현된 회로들의 전력(power) 및/또는 면적(area)의 최적화가 가능하다. 그러나, 상기 사양이 변경되면, 상기 이미지 센서에 대한 설계는 상기 사양에 따라 변경되어야 한다.
- [0005] 사양이 변경될 때마다 이미지 센서에 대한 설계를 변경하는 것은 시간이 많이 들고 비용도 많이 든다.

발명의 내용

해결하려는 과제

- [0006] 본 발명이 이루고자 하는 기술적인 과제는, 상술한 문제점을 해결하기 위해, 가변적인 채널 인터페이스 구조를 기반으로 감지된 이미지 데이터의 전송 속도 및 전송 채널의 개수를 가변적으로 조절할 수 있는 이미지 센서와 이를 포함하는 이미지 처리 시스템을 제공하는 것이다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 이미지 센서는 복수의 픽셀들을 포함하는 픽셀 어레이와, 상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기와, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 제1이미지 데이터를 출력하는 제1클러스터와, 상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 제2이미지 데이터를 출력하는 제2클러스터와, 상기 제1클러스터와 상기 제2클러스터에 연결된 적어도 하나의 클러스터 스위치와, 제1채널과, 제2채널을 포함하고, 설정된 동작 모드에 기초하여 상기 제1이미지 데이터와 상기 제2이미지 데이터 중에서 적어도 하나를 상기 제1채널과 상기 제2채널 중에서 적어도 하나의 채널로 전송한다.
- [0008] 상기 제1클러스터는 상기 제1그룹의 디지털 신호들을 수신하여 저장하는 제1버퍼 메모리 블록과, 제1데이터 버스와, 상기 제1버퍼 메모리 블록에 저장된 상기 제1그룹의 디지털 신호들을 상기 제1데이터 버스로 전송하는 제1컬럼 스위치들과, 상기 제1채널에 접속된 제1센스앰프와, 상기 제1데이터 버스와 상기 제1센스앰프 사이에 접속된 제1버스 스위치를 포함한다.
- [0009] 상기 제2클러스터는 상기 제2그룹의 디지털 신호들을 수신하여 저장하는 제2버퍼 메모리 블록과, 제2데이터 버스와, 상기 제2버퍼 메모리 블록에 저장된 상기 제2그룹의 디지털 신호들을 상기 제2데이터 버스로 전송하는 제2컬럼 스위치들과, 상기 제2채널에 접속된 제2센스앰프와, 상기 제2데이터 버스와 상기 제2센스앰프 사이에 접속된 제2버스 스위치를 포함한다.
- [0010] 상기 적어도 하나의 클러스터 스위치는 상기 제1데이터 버스와 제2데이터 버스 사이에 접속된다.
- [0011] 상기 적어도 하나의 클러스터 스위치는 상기 제1채널과 상기 제1클러스터 사이에 접속된 제1클러스터 스위치와, 상기 제1클러스터 및 상기 제2클러스터 사이에 직렬로 연결된 제2클러스터 스위치와 제3클러스터 스위치와, 상기 제2클러스터와 상기 제2채널 사이에 연결된 제4클러스터 스위치를 포함한다.
- [0012] 제1클러스터는 상기 제1클러스터 스위치와 상기 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고, 상기 제2클러스터는 상기 제3클러스터 스위치와 상기 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함한다.
- [0013] 상기 설정된 동작 모드에 기초하여 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는, 서로 접속된 상기 제2클러스터 스위치와 상기 제3클러스터 스위치를 통해, 상기 복수의 제1뱅크 버퍼 유닛들 각각

으로 전송된다.

- [0014] 상기 복수의 제1뱅크 버퍼 유닛들 각각과 상기 복수의 제2뱅크 버퍼 유닛들 각각 중 적어도 하나로 전송되는 뱅크 어드레스는 상기 제1클러스터 스위치와 제4클러스터 스위치 중에서 어느 하나로 입력된다.
- [0015] 상기 제1클러스터는 상기 제1채널에 접속된 제1클러스터 스위치와 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고, 상기 제2클러스터는 제3클러스터 스위치와 상기 제2채널에 접속된 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함한다. 상기 설정된 동작 모드에 기초하여 상기 제2클러스터 스위치와 상기 제3클러스터 스위치는 서로 분리되고, 상기 복수의 제1뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제1클러스터 스위치를 통해 상기 제1채널로 전송되고, 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제4클러스터 스위치를 통해 상기 제2채널로 전송된다.
- [0016] 상기 제1클러스터는 상기 제1채널에 접속된 제1클러스터 스위치와 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고, 상기 제2클러스터는 제3클러스터 스위치와 상기 제2채널에 접속된 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함한다.
- [0017] 상기 제2클러스터 스위치와 상기 제3클러스터 스위치는 서로 분리되고, 상기 복수의 제1뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제1클러스터 스위치를 통해 상기 제1채널로 전송되고, 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는 상기 제3클러스터 스위치를 통해 상기 제2채널로 전송되고, 상기 복수의 제1뱅크 버퍼 유닛들로 전송되는 제1뱅크 어드레스는 상기 제2클러스터 스위치를 통해 입력되고, 상기 복수의 제2뱅크 버퍼 유닛들로 전송되는 제2뱅크 어드레스는 상기 제4클러스터 스위치를 통해 입력된다.
- [0018] 본 발명의 실시 예에 따른 이미지 처리 시스템은 이미지 센서와, 제1채널을 통해 상기 이미지 센서와 접속된 제1이미지 신호 프로세서를 포함한다. 상기 이미지 센서는 복수의 픽셀들을 포함하는 픽셀 어레이와, 상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기와, 상기 제1채널에 접속되고, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 출력하는 제1클러스터와, 상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 출력하는 제2클러스터와, 상기 제1클러스터와 상기 제2클러스터 사이에 접속된 적어도 하나의 클러스터 스위치를 포함한다.

발명의 효과

- [0019] 본 발명의 실시 예에 따른 이미지 센서는, 복수의 픽셀들로부터 획득된 이미지 데이터가 전송될 때, 상기 이미지 센서에 포함된 복수의 픽셀 컬럼들을 클러스터 단위로 그룹핑(grouping)하여 각 클러스터에 해당하는 이미지 데이터의 전송 채널을 가변적으로 조정함으로써 상기 이미지 데이터의 전송 속도, 전송 방향 및/또는 전송 채널의 개수를 가변적으로 조정할 수 있는 효과가 있다.
- [0020] 상기 이미지 센서는 외부 컨트롤러를 통해 혹은 외부 핀을 통해 전송된 제어 신호에 기초하여 상기 전송 경로의 구조를 변화시킬 수 있는 스위치를 포함하므로, 상기 이미지 센서는 이미지 데이터의 전송 속도, 전송 방향 및/또는 전송 채널의 개수를 가변적으로 조정할 수 있는 효과가 있다.
- [0021] 상기 이미지 센서는 내부의 버퍼 메모리의 구조를 뱅크(bank) 단위 혹은 클러스터(cluster) 단위로 분리함으로써 상기 이미지 데이터의 전송 경로를 용이하게 변경할 수 있는 효과가 있다.

도면의 간단한 설명

- [0022] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.
 - 도 1은 본 발명의 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다.
 - 도 2는 본 발명의 다른 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다.
 - 도 3은 본 발명의 실시 예에 따른 버퍼 뱅크의 블록도를 나타낸다.
 - 도 4는 본 발명의 일 실시 예에 따른 이미지 센서의 블록도를 나타낸다.
 - 도 5는 도 4에 도시된 이미지 센서의 동작을 설명하기 위한 타이밍도이다.
 - 도 6은 본 발명의 다른 실시 예에 따른 이미지 센서의 블록도를 나타낸다.

- 도 7은 도 6에 도시된 이미지 센서의 동작을 설명하기 위한 타이밍도이다.
- 도 8은 본 발명의 실시 예에 따른 제1클러스터 스위치의 블록도이다.
- 도 9는 본 발명의 실시 예에 따른 제2클러스터 스위치의 블록도이다.
- 도 10은 본 발명의 또 다른 실시 예에 따른 이미지 센서의 블록도를 나타낸다.
- 도 11은 본 발명의 또 다른 실시 예에 따른 이미지 센서의 블록도를 나타낸다.
- 도 12는 본 발명의 또 다른 실시 예에 따른 이미지 센서의 블록도를 나타낸다.
- 도 13은 본 발명의 또 다른 실시 예에 따른 이미지 센서의 블록도를 나타낸다.
- 도 14는 본 발명의 실시 예들에 따른 이미지 센서의 이미지 데이터 래치 동작 방법을 보여주는 흐름도이다.
- 도 15는 본 발명의 실시 예들에 따른 이미지 센서의 가변적 채널 출력 동작 방법을 보여주는 흐름도이다.
- 도 16은 본 발명의 실시 예에 따른 전자 시스템과 인터페이스를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0023] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0024] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0025] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.
- [0026] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0027] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0028] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [0029] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0030] 도 1은 본 발명의 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다. 도 1을 참조하면, 이미지 처리 시스템(100)은 이미지 데이터 전송 채널(간단히, '채널'이라 한다)을 변경할 수 있는 이미지 센서(70)와 제 1

ISP(image signal processor)를 포함한다.

- [0031] 이미지 센서(70), 예컨대 CMOS 이미지 센서는 픽셀 어레이(10), 로우 드라이버(row driver; 15), 아날로그 디지털 컨버터(20), 버퍼(40), 램프 신호 생성기 (ramp generator; 25), 및 타이밍 제너레이터(timing generator; 35)를 포함한다.
- [0032] 픽셀 어레이(10)는 액티브 영역(active region)에 위치하는 복수의 픽셀들을 포함한다. 상기 복수의 픽셀들 각각은 레드(red) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 레드 픽셀, 그린(green) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 그린 픽셀, 및 블루(blue) 스펙트럼 영역의 빛을 전기 신호로 변환하기 위한 블루 픽셀을 포함할 수 있다.
- [0033] 또한, 상기 복수의 픽셀들 각각의 상부에는 특정 스펙트럼 영역의 빛을 투과시키기 위한 각각의 컬러 필터 어레이가 배열될 수 있다.
- [0034] 로우 드라이버(15)는, 타이밍 제너레이터(35)의 제어에 따라, 복수의 픽셀들 각각의 광감지 동작을 제어하기 위한 복수의 제어 신호들을 생성할 수 있다. 로우 드라이버(15)는 로우(row) 단위로 픽셀들을 구동할 수 있다.
- [0035] 아날로그 디지털 컨버터(20)는 복수의 픽셀들로부터 출력된 신호들 각각을 아날로그-디지털 변환하여 복수의 디지털 신호들 각각을 출력한다. 아날로그 디지털 컨버터(20)는 비교 블록(21)과 카운터 블록(23)을 포함한다.
- [0036] 비교 블록(21)은 복수의 비교기들(22)을 포함하며, 복수의 비교기들(22) 각각은 픽셀 어레이(10)와 램프 신호 생성기(25)와 연결된다. 이때, 픽셀 어레이(10)의 각 출력 신호는 각 비교기(22)의 제1입력단으로 입력되고, 램프 신호 생성기(25)의 램프 신호(Ramp)는 각 비교기(22)의 제2입력단으로 입력된다. 각 비교기(22)는 픽셀 어레이(10)의 각 출력 신호와 램프 신호 생성기(25)로부터 출력된 램프 신호(Ramp)를 수신하여 비교하고 비교 결과 신호를 출력할 수 있다.
- [0037] 이때, 각 비교기(22)로부터 출력되는 비교 결과 신호는 외부 빛의 조도에 따라 달라지는 영상 신호와 리셋 신호의 차이에 해당할 수 있다. 상기 영상 신호와 상기 리셋 신호의 차이를 출력하기 위해 램프 신호(Ramp)가 이용되며, 상기 영상 신호와 상기 리셋 신호의 차이가 픽업(pick-up)되어 상기 차이는 램프 신호(Ramp)의 기울기에 따라 출력될 수 있다. 램프 신호 생성기(25)는 타이밍 제너레이터(35)에서 생성된 제어 신호에 기초해 동작할 수 있다.
- [0038] 카운터 블록(23)은 복수의 카운터들(24)을 포함하며, 복수의 카운터들(24) 각각은 복수의 비교기들(22) 중에서 대응되는 비교기의 출력단에 연결되고, 타이밍 제너레이터(35)로부터 입력되는 카운터 클럭(CNT_CLK)에 따라 비교 결과 신호를 카운트하여 카운트 결과에 따라 디지털 신호를 출력한다.
- [0039] 예컨대, 복수의 카운터들(24) 각각은 컬럼 카운터의 기능을 수행할 수 있다. 이때, 카운터 클럭(CNT_CLK)은, 타이밍 제너레이터(35)에서 발생된 카운터 제어 신호에 기초하여, 카운터 블록(23)의 내부에 구현된 또는 타이밍 제너레이터 (35)에 연결된 카운터 컨트롤러(미도시)에 의해 발생할 수 있다.
- [0040] 이때, 카운터 블록(23)은 업/다운 카운터(up/down counter) 또는 비트-와이즈 카운터(bit-wise inversion counter)를 포함한다. 이때, 상기 비트-와이즈 카운터는 상기 업/다운 카운터와 비슷한 동작을 수행할 수 있다. 예컨대, 상기 비트 와이즈 카운터는 업-카운트만 수행하는 기능과 특정 신호가 입력되면 카운터 내부의 모든 비트를 반전하여 1의 보수(1's complement)로 만드는 기능을 수행할 수 있기 때문에, 이러한 기능을 이용하여 리셋 카운트(reset count)를 수행한 후 이를 반전하여 1의 보수, 즉 음수 값으로 변환할 수 있다.
- [0041] 버퍼(40)는 제 1 클러스터(40-1)와 제 2 클러스터(40-2)를 포함한다.
- [0042] 제 1 클러스터(40-1)는 아날로그 디지털 컨버터(20)로부터 출력된 복수의 디지털 신호들 중에서 제1그룹에 속하는 디지털 신호들(BCNT1)을 클러스터 스위치 (46)의 접속 여부에 따라 제1채널(70-1) 및/또는 제2채널(70-2)로 전송할 수 있다.
- [0043] 제 1 클러스터(40-1)는 제 1 버퍼 메모리 블록(41-1), 복수의 제 1 컬럼 스위치들(43-1), 제 1 버스 스위치(44-1) 및 제 1 센스앰프(sense amplifier; 45-1)를 포함한다.
- [0044] 제 2 클러스터(40-2)는 아날로그 디지털 컨버터(20)로부터 출력된 복수의 디지털 신호들 중에서 제2그룹에 속하는 디지털 신호들(BCNT2)을 클러스터 스위치 (46)의 접속 여부에 따라 제1채널(70-1) 및/또는 제2채널(70-2)로 전송할 수 있다.

- [0045] 제 2 클러스터(40-2)는 제 2 버퍼 메모리 블록(41-2), 복수의 제 2 컬럼 스위치들(43-2), 제 2 버스 스위치(44-2) 및 제 2 센스앰프(45-2)를 포함한다.
- [0046] 각 버퍼 메모리 블록(41-1 및 41-2)은 복수의 버퍼 메모리들(42-1 및 42-2)을 포함한다. 복수의 버퍼 메모리들(42-1 및 42-2)은 타이밍 제너레이터(35)에서 발생된 제어 신호, 또는 각 버퍼 메모리 블록(41-1 및 41-2)과 타이밍 제너레이터 (35) 중에서 어느 하나에 연결된 메모리 컨트롤러(미도시)에 의해 발생된 버퍼 제어 신호에 따라 동작할 수 있다. 복수의 버퍼 메모리들(42-1 및 42-2) 각각은 SRAM(static random access memory)과 같은 휘발성 메모리(Volatile memory)로 구현될 수 있다.
- [0047] 각 컬럼 스위치(43-1 및 43-2)와 각 버스 스위치(44-1 및 44-2)는, 타이밍 제너레이터(35)에 의해 발생된 버퍼 클락(SCLK) 및 메모리 컨트롤러에 의해 발생된 버퍼 제어 신호에 의해 선택된 각 버퍼 메모리(42-1 및 42-2)의 출력 신호를 각 데이터 버스(BUS1 및 BUS2)를 통하여 각 센스 앰프(45-1 및 45-2)로 전달한다.
- [0048] 각 버퍼 메모리 블록(41-1 및 41-2)은, 버퍼 제어 신호에 따라, 아날로그 디지털 컨버터(20)의 출력 신호를 임시 저장한 후 상기 출력 신호를 대응되는 스위치들(43-1과 44-1 및 43-2와 44-2)을 통해 각 센스 앰프(45-1 및 45-2)로 출력한다.
- [0049] 각 센스 앰프(45-1 및 45-2)는 각 스위치(44-1 및 44-2)의 출력 신호를 감지하여 증폭하고 증폭된 신호를 출력한다. 각 버퍼 메모리 블록(41-1 및 41-2)은 센싱된 출력을 저장하는 래치(미도시)를 포함할 수도 있다. 상기 래치는 각 센스 앰프(45-1 및 45-2)의 출력에 연결되거나 각 센스앰프(45-1 및 45-2)에 통합된 형태로 구현될 수 있다.
- [0050] 클러스터 스위치(46)는 제 1 클러스터(40-1)에 대응되는 제 1 데이터버스 (BUS1)와, 제 2 클러스터(40-2)에 대응되는 제 2 데이터 버스(BUS2) 사이의 접속을 제어한다. 도 1에서 클러스터 스위치(46)는 제 1 클러스터(40-1)와 제 2 클러스터 사이에 위치한 것으로 도시되어 있으나, 경우에 따라 클러스터 스위치(46)는 제 1 클러스터(40-1) 및 제 2 클러스터(40-2) 중에서 어느 하나의 내부에 위치할 수도 있다.
- [0051] 타이밍 제너레이터(35)는 각 구성 요소(15, 25, 20 및 40)의 동작을 제어하기 위한 제어 신호들을 출력한다.
- [0052] 이미지 센서(70)는 제 1 클러스터(10-1)의 센스 앰프(44-1)의 출력 신호를 제 1 통신 프로토콜에 따라 변환하고 전송할 수 있는 제 1 파이(60-1)를 포함할 수 있다. 또한, 이미지 센서(70)는 제 2 클러스터(40-2)의 센스 앰프(44-2)의 출력 신호를 제 2 통신 프로토콜에 따라 변환하고 전송할 수 있는 제 2 파이(60-2)를 포함할 수 있다. 각 파이(60-1과 60-2)는 인터페이스를 의미할 수 있다.
- [0053] 제 1 통신 프로토콜과 제 2 통신 프로토콜은 MIPI(mobile industry processor interface) 일 수 있으나 상기 제 1 통신 프로토콜 및 상기 제 2 통신 프로토콜은 이에 한정되는 것은 아니다. 경우에 따라 제 1 통신 프로토콜과 제 2 통신 프로토콜은 MIPI와 다른 형태의 통신 프로토콜일 수 있고 MIPI의 전송 특성과 서로 다른 전송 특징을 가질 수 있다.
- [0054] 이미지 처리 시스템(100)은 이미지 센서(70)와 제 1 ISP(80-1)을 포함할 수 있다. 이미지 센서(70)는 픽셀 어레이(10)의 출력 신호들에 상응하는 이미지 데이터를 제 1 파이(60-1) 혹은 제 2 파이(60-2)를 통해 제 1 ISP(80-1)로 전송할 수 있다. 예컨대, 제 1 ISP(80-1)는 버퍼(40)로부터 출력된 이미지 데이터를 수신하고, 수신된 이미지 데이터를 사람이 보기 좋도록 가공/처리하고, 가공/처리된 데이터를 다른 이미지 처리 장치(미도시)로 전달할 수 있다.
- [0055] 도 1에서는 제 1 ISP(80-1)가 이미지 센서(70)의 외부에 위치하는 것으로 도시하였으나, 제 1 ISP(80-1)는 이미지 센서(70)의 내부에 위치할 수도 있다. 제 1 ISP(80-1)가 이미지 센서(70)의 내부에 위치할 때, 제 1 파이(60-1)는 설계상 구현되지 않을 수 있다.
- [0056] 또한, 제 1 ISP(80-1)는 제 1 파이(60-1) 혹은 제 2 파이(60-2)에 선택적으로 연결될 수 있다. 각 파이(60-1 및 60-2)에 연결되는 각 ISP는 서로 다른 사양을 갖는 ISP일 수 있다. 예컨대, 각 ISP는 고성능의 ISP(Big ISP) 혹은 저전력의 ISP(Little ISP)일 수 있다.
- [0057] 도 1의 이미지 센서(70)는 픽셀 어레이(10)의 출력 신호들에 상응하는 이미지 데이터를 하나의 채널 혹은 복수의 채널들로 전송할 수 있는 구조를 포함한다.
- [0058] 즉, 도 1에 도시된 바와 같이 제 1 클러스터(40-1)의 제1버스 스위치(44-1)가 턴-온(turn-on) 되고 제 2 클러스터(40-2)의 제2버스 스위치(44-2)가 턴-오프 (turn-off) 되었을 때, 클러스터 스위치(46)가 턴-온 되면 버퍼

(40)에 저장된 모든 이미지 데이터는 제 1 파이(60-1)와 제1채널(70-1)을 통하여 제 1 ISP(80-1)로 전송될 수 있다. 즉, 이미지 센서(70)는 각 버스 스위치(44-1 및 44-2)와 클러스터 스위치(46)를 제어하여 하나의 채널(70-1)을 통해 이미지 데이터를 제 1 ISP(80-1)로 전송할 수 있다.

[0059] 그러나, 제 1 클러스터(40-1)의 제1버스 스위치(44-1)가 턴-오프 되고 제 2 클러스터(40-2)의 제2버스 스위치(44-2)가 턴-온 되었을 때 클러스터 스위치(46)가 턴-온 되면 버퍼(40)에 저장된 모든 이미지 데이터는 제 2 파이(60-2)와 제2채널(70-2)을 통하여 제 1 ISP(80-1)로 전송된다.

[0060] 즉, 이미지 센서(70)는 각 버스 스위치(44-1 및 44-2)와 클러스터 스위치(46)를 제어하여 하나의 채널(70-2)을 통해 이미지 데이터를 제 1 ISP(80-1)로 전송할 수 있다. 이때, 클러스터 스위치(46)는 전송선으로 대체될 수 있다.

[0061] 도 1의 이미지 처리 시스템(100)은 2개의 채널들(70-1 및 70-2)을 포함한다. 이미지 센서(70)가 외부 ISP 혹은 외부 신호 처리 장치에 연결될 경우, 패키지 본딩(package bonding)이 용이 해진다. 또한, 이미지 센서(70)와 외부 ISP 혹은 이미지 센서(70)와 외부 신호 처리 장치가 가까운 거리에서 연결되므로, 노이즈를 감소시킬 수 있는 이미지 처리 시스템이 구축될 수 있다.

[0062] 또한, 제 1 파이(60-1) 및 제 2 파이(60-2) 각각은 외부에 연결되는 ISP의 종류에 따라 서로 다른 성능, 서로 다른 전력, 서로 다른 전송 특징, 혹은 서로 다른 프로토콜을 갖는 서로 다른 파일 수 있다.

[0063] 또한, 제 1 ISP(80-1)는 이미지 센서(70)에 내장된 ISP일 수 있다. 제 1 ISP(80-1)가 내장 ISP일 경우 제 1 파이(60-1)는 구현되지 않을 수 있다. 한편, 제 1 ISP(80-1)가 내장 ISP일 경우, 이미지 센서(70)는 제 1 ISP(80-1)를 동작하지 않도록 하고, 이미지 센서(70)는 별도의 외부 ISP로 이미지 데이터를 전송할 수 있다. 예를 들면, 내장된 제 1 ISP(80-1)가 저전력 혹은 저성능 ISP라면, 외부 ISP는 고성능 ISP일 수 있다.

[0064] 도 2는 본 발명의 다른 일 실시 예에 따른 이미지 처리 시스템의 블록도를 나타낸다.

[0065] 도 2를 참조하면, 이미지 처리 시스템(200)은 이미지 센서(70), 제 1 ISP(80-1) 및 제 2 ISP(80-2)를 포함한다. 도 2의 이미지 센서(70)는 도 1의 이미지 센서(70)와 같은 구성 요소들을 포함한다.

[0066] 이미지 센서(70) 내의 제 1 파이(60-1)는 제 1 클러스터(40-1)의 이미지 데이터를 수신하여 제 1 통신 프로토콜에 따라 제1채널(70-1)을 통해 제 1 ISP(80-1)로 전송한다. 제 2 파이(60-2)는 제 2 클러스터(40-2)의 이미지 데이터를 수신하여 제 2 통신 프로토콜에 따라 제2채널(70-2)을 통해 제 2 ISP(80-2)로 전송한다. 이때, 상기 제 1 통신프로토콜 및 제 2 통신프로토콜은 서로 같을 수 있다.

[0067] 예를 들면, 상기 제 1 통신프로토콜 및 상기 제 2 통신 프로토콜은 MIPI일 수 있다. 하지만, 상기 제 1 통신프로토콜 및 상기 제 2 통신 프로토콜은 상기 MIPI에 한정되지 않고 외부에 연결되는 각 ISP의 종류에 따라 MIPI와 다른 통신 프로토콜일 수도 있다.

[0068] 도 2의 이미지 센서(70)는 픽셀 어레이(10)에서 생성된 이미지 데이터를 선택적으로 하나의 채널(70-1 또는 70-2) 혹은 복수의 채널들(70-1 및 70-2)로 전송할 수 있는 구조를 포함한다.

[0069] 즉, 도 2에서처럼 제 1 클러스터(40-1)의 제1버스 스위치(44-1)와 제 2 클러스터(40-2)의 제2버스 스위치(44-2)가 턴-온 되었을 때 클러스터 스위치(46)가 턴-오프 되면, 각 버퍼 메모리 블록(41-1 및 41-2)에 저장된 각 이미지 데이터는 제 1 파이(60-1) 및 제 2 파이(60-2) 각각을 통하여 제 1 ISP(80-1) 및 제 2 ISP(80-2) 각각으로 전송된다. 즉, 이미지 센서(70)는 각 버스 스위치(44-1 및 44-2)와 클러스터 스위치(46)를 제어하여 복수의 채널들(70-1과 70-2) 각각을 통해 ISP들(80-1 및 80-2) 각각으로 각 클러스터(40-1 및 40-2)로부터 출력된 각 이미지 데이터를 전송할 수 있다.

[0070] 제 1 클러스터(40-1) 및 제 2 클러스터(40-2)는 이미지 센서(70)의 픽셀 어레이(10)의 컬럼들을 클러스터 단위로 분할하여 그룹핑한 것이다. 상기 클러스터의 크기는 실시 예들에 따라 다양하게 변경될 수 있다.

[0071] 도 1과 도 2에서는 설명의 편의를 위해 2개의 클러스터들이 도시되었으나 본 발명의 기술적 사상이 클러스터의 개수에 한정되는 것은 아니다. 따라서 이미지 센서(70)의 이미지 데이터 전송 채널(즉, 채널)의 개수는 클러스터의 개수에 따라 증가할 수도 있다.

[0072] 도 2에서 제 1 ISP(80-1) 및 제 2 ISP(80-2)는 서로 같은 실리콘 기판 (silicon substrate) 위에 형성되거나 서로 다른 실리콘 기판 위에 형성될 수 있다. 또한, ISP들(80-1 및 80-2) 중에서 적어도 하나는 이미지 센서(70)에 내장되거나 혹은 외부에 구현될 수 있다. 제 1 ISP(80-1) 및/혹은 제 2 ISP(80-2)가 이미지 센서(70)에

내장될 경우 각 ISP(80-1 및/혹은 80-2)에 연결된 제 1 파이(60-1) 및/혹은 제 2 파이(60-2)는 이미지 센서(70)에 구현되지 않을 수 있다.

- [0073] 도 3은 본 발명의 실시 예에 따른 버퍼 뱅크(300)의 블록도를 나타낸다.
- [0074] 도 3의 버퍼 뱅크(300)는 입력된 뱅크 어드레스를 수신하여 상기 수신된 뱅크 어드레스에 대응하는 이미지 데이터를 픽셀 어레이로부터 수신하여 저장하고 상기 저장된 이미지 데이터를 시프트(shift)하여 출력할 수 있다.
- [0075] 도 3을 참조하면, 버퍼 뱅크(300)는 뱅크 버퍼 유닛(340) 및 뱅크 어드레스 유닛(350)을 포함한다.
- [0076] 뱅크 버퍼 유닛(340)은 복수의 버퍼 메모리(342), 각각이 복수의 버퍼 메모리(342) 각각에 연결된 복수의 컬럼 스위치(344), 클러스터 스위치(346), 복수의 컬럼 스위치(344)와 클러스터 스위치(346)에 연결된 뱅크 버스(345), 및 뱅크 버스(345)에 연결된 센스 앰프(347)를 포함한다.
- [0077] 뱅크 버퍼 유닛(340)은 뱅크 카운터 입력(BCNT)에 해당하는 제 1 이미지 데이터를 복수의 버퍼 메모리(342)에 저장한다. 뱅크 카운터 입력(BCNT)은 도 1 혹은 도 2에 도시된 이미지 센서(70)의 아날로그 디지털 컨버터(20)의 출력들을 뱅크 단위로 분리한 그룹에 해당된다. 예컨대, 도 1 혹은 도 2에 도시된 BCNT1 또는 BCNT2는 뱅크 카운터 입력(BCNT)에 대응될 수 있다.
- [0078] 또한, 뱅크 버퍼 유닛(340)은 뱅크 이미지 입력(BM_I)에 해당하는 제 2 이미지 데이터를 수신한다.
- [0079] 뱅크 버퍼 유닛(340)은 컬럼 선택 입력(CSEL)을 통하여 스위치 제어 신호를 입력받는다. 상기 스위치 제어 신호는 복수의 컬럼 스위치들(344) 각각과 클러스터 스위치(346)의 접속을 제어하는 제어 신호들을 포함한다.
- [0080] 뱅크 버퍼 유닛(340)은 스위치 제어 신호에 기초하여 클러스터 스위치(346)를 턴-오프하고 복수의 컬럼 스위치들(344) 중에서 어느 하나를 턴-온시켜 제 1 이미지 데이터를 뱅크 버스(345)로 전달할 수 있다. 또한, 뱅크 버퍼 유닛(340)은 상기 스위치 제어 신호에 기초하여 복수의 컬럼 스위치들(344)을 모두 턴-오프하고 클러스터 스위치(346)를 턴-온시켜 제 2 이미지 데이터를 뱅크 버스(345)로 전달할 수 있다.
- [0081] 뱅크 버스(345)의 버스 폭은 버퍼 메모리(342)의 버스 폭과 서로 같게 설계될 수 있으나 이에 한정되지 않고, 경우에 따라 뱅크 버스(345)의 버스 폭은 부가 정보를 전달하기 위하여 버퍼 메모리(342)의 버스 폭과 서로 다르게 설계될 수 있다.
- [0082] 버퍼 메모리(342)는 SRAM 형태의 메모리 셀(cell)을 포함할 수 있고 비트 라인 신호와 상보 비트 라인 신호를 출력할 수 있다.
- [0083] 뱅크 버퍼 유닛(340)의 복수의 버퍼 메모리(342)의 수는 512개, 1024개 혹은 2048개 일 수 있으나, 이에 한정되는 것은 아니며 이미지 센서(70)의 전체 컬럼의 개수, 뱅크의 개수 및 클러스터의 개수 중 적어도 하나에 따라 달라질 수 있다.
- [0084] 또한, 복수의 버퍼 메모리들(342) 각각에 저장되는 비트는 10-비트부터 15-비트까지 다양하게 구현될 수 있으나 이에 한정되는 것은 아니다. 상기 비트는 이미지 센서(70)의 픽셀 어레이(10)에 포함된 각 픽셀에 의해 표현가능한 컬러 레벨의 개수에 따라 다양하게 변경될 수 있다.
- [0085] 각각이 뱅크 버퍼 유닛(340)과 동일한 구조는 갖는 복수의 뱅크 버퍼 유닛들은 하나의 파이프라인 체인(pipeline chain)으로 연결될 수 있다. 상기 파이프 라인 체인은 도 4, 도 6, 및 도 10부터 도 13을 참조하여 자세히 설명될 것이다.
- [0086] 복수의 컬럼 스위치(344) 및 클러스터 스위치(346)는, 뱅크 어드레스 유닛(350)의 디코더 래치(353)의 출력에 따라, 버퍼 메모리(342)의 출력(343)에 해당하는 제 1 이미지 데이터와 뱅크 이미지 입력(BM_I)에 해당하는 제 2 이미지 데이터 중에서 어느 하나를 뱅크 버스(345)로 전달할 수 있다.
- [0087] 센스 앰프(347)는 복수의 컬럼 스위치(344) 혹은 클러스터 스위치(346)를 통해 뱅크 버스(345)로 전달된 제 1 이미지 데이터 혹은 제 2 이미지 데이터를 수신하고, 수신된 이미지 데이터를 감지하고 증폭하여 뱅크 이미지 출력(BM_O)을 출력한다. 예컨대, 센스 앰프(347)은 홀드(hold) 기능을 포함하고 있을 수 있다.
- [0088] 또한, 센스 앰프(347)는 버퍼 클럭 신호(SCLK)에 동기되어 제 1 이미지 데이터 혹은 제 2 이미지 데이터를 저장할 수 있다. 또한, 제 2 이미지 데이터가 선택될 경우 센스 앰프(347)는 상기 제 2 이미지 데이터를 바이패스(bypass)하거나 저장할 수 있다.

- [0089] 뱅크 어드레스 유닛(350)은 어드레스 래치(351), 어드레스 디코더(352), 및 디코더 래치(353)를 포함한다.
- [0090] 어드레스 래치(351)는, 버퍼 클락 신호(SCLK)에 동기되어, 뱅크 어드레스 입력(BA_I)을 통해 입력된 제 1 뱅크 어드레스를 저장하고 저장된 제 1 뱅크 어드레스를 뱅크 어드레스 출력(BA_O)으로 출력한다.
- [0091] 어드레스 디코더(352)는 입력된 제 1 뱅크 어드레스를 디코딩하여 상기 제 1 뱅크 어드레스가 현재 버퍼 뱅크(300)의 어드레스와 일치하는지 판단한다. 이때, 제 1 뱅크 어드레스는 뱅크 버퍼 유닛(340) 내의 복수의 컬럼 스위치(343)와 클러스터 스위치(346) 중에서 어느 하나를 턴-온하기 위한 뱅크 어드레스 비트와 컬럼 어드레스 비트를 포함한다.
- [0092] 디코더 래치(353)는, 어드레스 디코더(352)의 출력이 안정화되면, 어드레스 디코더(352)의 출력을 래치한다. 디코더 래치(353)의 출력은 각 컬럼 스위치(344)와 라인 스위치(346)에 대한 각 제어신호로서 제공된다.
- [0093] 실시 예에 따라, 버퍼 뱅크(300)는 뱅크 저장 유닛(360)을 더 포함할 수 있다.
- [0094] 뱅크 저장 유닛(360)은 외부에서 입력되는 뱅크 입력 어드레스(BS_I)와 이미지 데이터를 파이프라인처럼 시프트하는 용도로 사용될 수 있다. 예컨대, 뱅크 저장 유닛(360)은 뱅크 입력 어드레스(BS_I)를 시프트하여 뱅크 출력 어드레스(BS_O)를 출력할 수 있다. 뱅크 저장 유닛(360)의 시프트 동작은 뱅크 버퍼 유닛(340)과 뱅크 어드레스 유닛(350)의 시프트 동작과 함께 자세히 설명될 것이다.
- [0095] 도 4는 본 발명의 일 실시 예에 따른 이미지 센서(71A)의 블록도를 나타낸다. 이미지 센서(71A)는 복수의 컬럼 라인들로부터 수신되는 이미지 데이터를 선택적으로 하나의 채널 혹은 복수의 채널들로 전송할 수 있는 구조를 포함한다.
- [0096] 도 4를 참조하면, 이미지 센서(71A)는 제 1 클러스터(400-1), 제 2 클러스터(400-2), 제 1 클러스터 스위치(800-1), 제 2 클러스터 스위치(900-1), 제 3 클러스터 스위치(800-2), 및 제 4 클러스터 스위치(900-2)를 포함한다.
- [0097] 제 1 클러스터(400-1)는 복수의 뱅크 버퍼 유닛(340-1 및 340-2), 복수의 뱅크 어드레스 유닛(350-1 및 350-2), 및 복수의 뱅크 저장 유닛(360-1 및 360-2)을 포함할 수 있다. 또한, 제 2 클러스터(400-2)는 복수의 뱅크 버퍼 유닛(340-3 및 340-4), 복수의 뱅크 어드레스 유닛(350-3 및 350-4), 및 복수의 뱅크 저장 유닛(360-3 및 360-4)을 포함할 수 있다.
- [0098] 복수의 뱅크 버퍼 유닛(340-1~340-4) 각각의 구조와 동작은 도 3에 도시된 뱅크 버퍼 유닛(340)의 구조 및 동작과 실질적으로 동일하다. 각 뱅크 버퍼 유닛(340-1~340-4)은 버퍼 클락(SCLK)에 동기되어 2가지의 이미지 데이터 중에서 하나의 이미지 데이터를 선택적으로 저장하고, 다음 뱅크 버퍼 유닛으로 저장된 이미지 데이터를 출력한다.
- [0099] 복수의 뱅크 버퍼 유닛(340-1~340-4)은 각각으로 대응되는 뱅크 카운터 입력(BCNT11, BCNT12, BCNT21, 및 BCNT22)이 입력된다. 복수의 뱅크 어드레스 유닛(350-1~350-4) 각각의 구조와 동작은 도 3에 도시된 뱅크 어드레스 유닛(350)의 구조와 동작과 실질적으로 동일하다.
- [0100] 각 뱅크 어드레스 유닛(350-1~350-4)은 버퍼 클락(SCLK)에 동기되어 각 뱅크 어드레스 입력(BA_I)을 통하여 입력된 뱅크 어드레스를 저장하고, 각 뱅크 버퍼 유닛(340-1~340-4)에 대한 컬럼 선택 신호를 생성한다. 또한, 각 뱅크 어드레스 유닛(350-1~350-4)은 버퍼 클락(SCLK)에 동기되어 저장된 뱅크 어드레스를 뱅크 어드레스 출력(BA_O)을 통하여 다음 뱅크 어드레스 유닛으로 출력한다.
- [0101] 복수의 뱅크 저장 유닛(360-1~360-4) 각각의 구조와 동작은 도 3에 도시된 뱅크 저장 유닛(360)의 구조와 동작과 실질적으로 동일하다. 각 뱅크 저장 유닛(360-1~360-4)은 버퍼 클락(SCLK)에 동기되어 뱅크 입력 어드레스나 이미지 데이터를 저장하고, 다음 뱅크 저장 유닛으로 저장된 뱅크 입력 어드레스에 상응하는 뱅크 출력 어드레스나 이미지 데이터를 출력한다.
- [0102] 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각은 복수의 래치(미도시) 및 선택기(미도시)를 포함할 수 있다. 각 클러스터 스위치(800-1, 900-1, 800-2 및 900-2)는, 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 따라, 뱅크 어드레스 및/또는 상기 뱅크 어드레스에 대응하는 이미지 데이터의 흐름을 제어한다.
- [0103] 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각의 상세한 구조와 동작은 도 8과 도 9를 참조하여 자세히 설명될 것이므로, 도 4에서는 이미지 센서(71A)의 뱅크 어드레스 입력 동작과 이에 따른 이미지 데이터

의 출력 동작을 중심으로 설명하도록 하겠다.

- [0104] 도 4를 참조하면, 이미지 센서(71A)는, 제1동작 모드에서, 하나의 채널 (CHANNEL1)을 통한 이미지 데이터 출력 동작을 수행한다. 상기 제 1 동작 모드는 이미지 센서(71A)의 외부 핀의 설정 혹은 외부 컨트롤러와의 인터페이스를 통하여 설정될 수 있다.
- [0105] 상기 인터페이스는 CCI(camera control interface)일 수 있으며, 상기 CCI는 SPI(serial peripheral interface)나 I2C(inter integrated circuit)와 같은 프로토콜로 동작할 수 있으나 이에 한정되는 것은 아니다.
- [0106] 제 1 동작 모드는 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 영향을 주므로, 상기 제 1 동작 모드는 이미지 센서(71A) 내의뱅크 어드레스 및/또는 이미지 데이터의 흐름을 제어한다.
- [0107] 도 5는 도 4에 도시된 이미지 센서(71A)의 동작을 설명하기 위한 타이밍도이다. 도 3부터 도 5를 참조하면, 제 1 클락 사이클(T0)에서, 이미지 센서(71A)는 제 1 뱅크 어드레스 입력(HDA1)으로부터 제 1 뱅크 어드레스(A0)를 수신하고, 제 1 뱅크 어드레스(A0)를 제 1 클러스터 스위치(800-1)의 제 1 어드레스 입력(TA_I)으로 전달한다.
- [0108] 제 2 클락 사이클(T1)에서, 제 1 뱅크 어드레스(A0)는 제 1 클러스터 스위치(800-1)의 내부의 래치에 의하여 시프트되고, 제 1 클러스터 스위치(800-1)의 출력(TA_0)을 통해 제 1 어드레스 출력 신호(TA11)로서 제 1 뱅크 저장 유닛(360-1)의 입력(BS_I)으로 전달된다.
- [0109] 제 3 클락 사이클(T2)에서, 제 1 뱅크 어드레스(A0)는 제 1 뱅크 저장 유닛(360-1)의 내부의 래치에 의하여 시프트되고, 제 1 뱅크 저장 유닛 출력 신호 (TA12)로서 제 2 뱅크 저장 유닛(360-2)의 입력(BS_I)으로 전달된다.
- [0110] 제 4 클락 사이클(T3)에서, 제 1 뱅크 어드레스(A0)는 제 2 뱅크 저장 유닛(360-2) 내부의 래치에 의하여 시프트되고 제 2 뱅크 저장 유닛 출력 신호(TA13)로서 제 2 클러스터 스위치(900-1)의 제 1 어드레스 입력(TA_I)으로 전달된다.
- [0111] 제 5 클락 사이클(T4)에서, 제 1 뱅크 어드레스(A0)는 제 2 클러스터 스위치(900-1) 내부의 래치에 의하여 시프트되고 제 2 클러스터 스위치(900-1)의 출력(TA_0)을 통해 제 1 어드레스 출력 신호(CSW1)로서 제 2 클러스터(400-2)의 제 1 어드레스 입력(TA_I)으로 전달된다. 동시에, 제 1 뱅크 어드레스(A0)는 제 3 클러스터 스위치(800-2)의 제 1 어드레스 입력(TA_I)으로 전달된다.
- [0112] 제 6 클락 사이클(T5)에서, 제 1 뱅크 어드레스(A0)는 제 3 클러스터 스위치(800-2) 내부의 래치에 의하여 시프트되고 제 3 클러스터 스위치(800-2)의 출력(TA_0)을 통해 제 1 어드레스 출력 신호(TA21)로서 제 3 뱅크 저장 유닛(360-3)의 입력(BS_I)으로 전달된다.
- [0113] 제 7 클락 사이클(T6)에서, 제 1 뱅크 어드레스(A0)는 제 3 뱅크 저장 유닛(360-3)의 내부의 래치에 의하여 시프트되고 제 3 뱅크 저장 유닛 출력 신호 (TA22)로서 제 4 뱅크 저장 유닛(360-4)의 입력(BS_I)으로 전달된다.
- [0114] 제 8 클락 사이클(T7)에, 제 1 뱅크 어드레스(A0)는 제 4 뱅크 저장 유닛 (360-4) 내부의 래치에 의하여 시프트되고 제 4 뱅크 저장 유닛 출력 신호(TA23)로서 제 4 클러스터 스위치(900-2)의 제 1 어드레스 입력(TA_I)으로 전달된다.
- [0115] 제 9 클락 사이클(T8)에서, 제 1 뱅크 어드레스(A0)는 제 4 클러스터 스위치(900-2) 내부의 래치에 의하여 시프트되고 제 2 어드레스 출력 신호(BA23)로서 제 4 뱅크 어드레스 유닛(350-4)의 입력(BA_I)으로 전달된다. 동시에 제 1 뱅크 어드레스(A0)는 제 4 뱅크 어드레스 유닛(350-4)의 내부의 어드레스 디코더(352)를 통하여 디코딩된다.
- [0116] 제 10 클락 사이클(T9)에서, 제 4 뱅크 어드레스 유닛(350-4)은 제 4 선택신호(CS22) 및 제 4 뱅크 어드레스 출력 신호(BA22)를 생성한다. 즉, 도 3에서 설명한 바와 같이, 제 4 뱅크 어드레스 유닛(350-4)의 디코더 래치(353)는 제 4 뱅크 어드레스 유닛(350-4)의 어드레스 디코더(352)의 출력 신호를 래치하여 제 4 선택신호(CS22)를 생성하고 제 4 선택 신호(CS22)를 제 4 뱅크 버퍼 유닛(340-4)의 컬럼 선택 입력(CSEL)으로 제공한다. 또한, 제 1 뱅크 어드레스(A0)는 제 4 뱅크 어드레스 유닛(350-4) 내부의 어드레스 래치(351)에 의하여 시프트되고 제 4 뱅크 어드레스 출력 신호(BA22)로서 제 3 뱅크 어드레스 유닛(350-3)의 뱅크 어드레스 입력(BA_I)으로 전송된다.
- [0117] 제 11 클락 사이클(T10)에, 제 3 뱅크 어드레스 유닛(350-3)은 제 3 선택신호(CS21) 및 제 3 뱅크 어드레스 출력 신호(BA21)를 생성한다. 즉, 도 3에서 설명한 바와 같이, 제 3 뱅크 어드레스 유닛(350-3)의 디코더 래치

(353)는 제 3 BANK 어드레스 유닛(350-3)의 어드레스 디코더(352)의 출력 신호를 래치하여 제 3 선택신호(CS21)를 생성하고, 제 3 선택신호(CS21)를 제 3 BANK 버퍼 유닛의 컬럼 선택 입력(CSEL)으로서 제공한다. 또한, 제 1 BANK 어드레스(A0)는 제 3 BANK 어드레스 유닛(350-3) 내부의 어드레스 래치(351)에 의하여 시프트되고 제 3 BANK 어드레스 출력 신호(BA21)로서 제 3 클러스터 스위치(800-2)의 제 2 어드레스 입력(A_I)으로 전송된다.

[0118] 제11 클락 사이클(T10)에서, 제 4 BANK 버퍼 유닛(340-4)은 도 3에서 설명한 바와 같이 제 4 선택 신호(CS22)에 기초하여 제 4 BANK 버퍼 유닛(340-4)의 BANK 카운터 입력(BCNT22)을 통하여 입력된 제 1 이미지 데이터와 제 4 BANK 버퍼 유닛(340-4)의 BANK 이미지 입력(BM_I)으로부터 수신된 제 2 이미지 데이터(M23) 중 하나를 선택하여 제 4 BANK 이미지 데이터(M22)를 생성한다.

[0119] 제 4 BANK 이미지 데이터(M22)는 제 4 BANK 버퍼 데이터 출력 신호(M22)로서 제 3 BANK 버퍼 유닛(340-3)의 BANK 이미지 입력(BM_I)로 전송된다. 한편, 제 4 BANK 버퍼 유닛(340-4)은 BANK 버퍼 유닛을 형성하는 체인(340-1~340-4)의 첫 번째 BANK 버퍼 유닛이므로 제 2 이미지 데이터(M23)를 유효하지 않은 데이터로서 무시할 수 있다.

[0120] 제 12 클락 사이클(T11)에서, 제 3 BANK 버퍼 유닛(340-3)은 도 3에서 설명한 바와 같이 제 3 선택 신호(CS21)에 기초하여 제 3 BANK 버퍼 유닛(340-3)의 BANK 카운터 입력(BCNT21)을 통하여 입력된 제 1 이미지 데이터와 제 3 BANK 버퍼 유닛(340-3)의 BANK 이미지 입력(BM_I)으로부터 수신된 제 2 이미지 데이터(M22) 중에서 하나를 선택하여 제 3 BANK 이미지 데이터(M21)를 생성한다. 제 3 BANK 이미지 데이터(M21)는 제 3 BANK 이미지 데이터 출력 신호(M21)로서 제 3 클러스터 스위치(800-2)의 컬럼 데이터 입력(CM_I)으로 전송된다.

[0121] 제12 클락 사이클(T11)에서, 제 3 클러스터 스위치(800-2)의 제 2 어드레스 입력(A_I)으로 수신된 제 1 BANK 어드레스(A0)는 제 3 클러스터 스위치(800-2) 내부의 제 2 래치에 의해 시프트되고 제 3 클러스터 스위치(800-2)의 출력(CM_O)을 통해 제 2 어드레스 출력 신호(CSW2)로서 제 2 클러스터 스위치(900-1)의 제 2 어드레스 입력(A_I)으로 전달된다.

[0122] 제 13 클락 사이클(T12)에서, 제 3 클러스터 스위치(800-2)로 수신된 제 3 BANK 이미지 데이터(M21)는 제 3 클러스터 스위치(800-2) 내부의 제 3 래치에 의하여 시프트되고 제 3 클러스터 스위치(800-2)의 출력(CM_O)을 통해 이미지 데이터 출력 신호(CSW3)로서 제 2 클러스터 스위치(900-1)의 컬럼 데이터 입력(CM_I)으로 전송된다. 동시에 제 2 클러스터 스위치(900-1)로 수신된 제 1 BANK 어드레스(A0)는 제 2 클러스터 스위치(900-1) 내부의 제 2 래치에 의하여 시프트되고 제 2 BANK 어드레스 유닛(350-2)의 BANK 어드레스 입력(BA_I)으로 전송된다.

[0123] 제 14 클락 사이클(T13)에서, 제 2 클러스터 스위치(900-1)로 수신된 제 3 BANK 이미지 데이터(M21)는 제 2 클러스터 스위치(900-1) 내부의 제 3 래치에 의하여 시프트되고 제 2 클러스터의 이미지 데이터 출력 신호(M13)로서 제 2 BANK 버퍼 유닛(340-2)의 BANK 이미지 입력(BM_I)으로 전송된다.

[0124] 제14클락 사이클(T13)에서, 제 2 BANK 어드레스 유닛(350-2)은 제 2 선택신호(CS12) 및 제 2 BANK 어드레스 출력 신호(BA12)를 생성한다. 즉, 도 3에서 설명한 바와 같이, 제 2 BANK 어드레스 유닛(350-2)의 디코더 래치(353)는 제 2 BANK 어드레스 유닛(350-2)의 어드레스 디코더(352)의 출력 신호를 래치하여 제 2 선택신호(CS12)를 생성하고 제 2 선택신호(CS12)를 제 2 BANK 버퍼 유닛(340-2)의 컬럼 선택 입력(CSEL)으로 제공한다.

[0125] 또한, 제 1 BANK 어드레스(A0)는 제 2 BANK 어드레스 유닛(350-2) 내부의 어드레스 래치(351)에 의하여 시프트되고 제 2 BANK 어드레스 출력 신호(BA12)로서 제 1 BANK 어드레스 유닛(350-1)의 BANK 어드레스 입력(BA_I)으로 전송된다.

[0126] 제 15 클락 사이클(T14)에서, 제 2 BANK 버퍼 유닛(340-2)은 도 3에서 설명한 바와 같이 제 2 선택 신호(CS12)에 기초하여 제 2 BANK 버퍼 유닛(340-2)의 카운터 입력(BCNT12)을 통하여 입력된 제 1 이미지 데이터와 제 2 BANK 버퍼 유닛(340-2)의 BANK 이미지 입력(BM_I)으로부터 수신된 제 2 이미지 데이터(M13) 중 하나를 선택하여 제 2 BANK 이미지 데이터(M12)를 생성한다. 제 2 BANK 이미지 데이터(M12)는 제 2 BANK 버퍼 데이터 출력 신호(M12)로서 제 1 BANK 버퍼 유닛(340-1)의 BANK 이미지 입력(BM_I)으로 전송된다.

[0127] 제15 클락 사이클(T14)에서, 제 1 BANK 어드레스 유닛(350-1)은 제 1 선택신호(CS11) 및 제 1 BANK 어드레스 출력신호(BA11)를 생성한다.

[0128] 즉, 도 3에서 설명한 바와 같이, 제 1 BANK 어드레스 유닛(350-1)의 디코더 래치(353)는 제 1 BANK 어드레스 유닛(350-1)의 어드레스 디코더(352)의 출력 신호를 래치하여 제 1 선택신호(CS11)를 생성하고, 제 1 선택신호(CS11)를 제 1 BANK 버퍼 유닛(340-1)의 컬럼 선택 입력(CSEL)으로 제공한다. 또한, 제 1 BANK 어드레스(A0)는

상기 제 1 뱅크 어드레스 유닛(350-1) 내부의 어드레스 래치(351)에 의하여 시프트되고 제 1 뱅크 어드레스 출력 신호(BA11)로서 제 1 클러스터 스위치 (800-1)의 제 2 어드레스 입력(A_I)으로 전송된다.

- [0129] 제 16 클락 사이클(T15)에서, 제 1 뱅크 버퍼 유닛(340-1)은, 도 3에서 설명한 바와 같이 제 1 선택 신호(CS1)에 기초하여, 제 1 뱅크 버퍼 유닛(340-1)의 뱅크 카운터 입력(BCNT11)을 통하여 입력된 제 1 이미지 데이터와 제 1 뱅크 버퍼 유닛(340-1)의 뱅크 이미지 입력(BM_I)으로부터 수신된 제 2 이미지 데이터(M12) 중 하나를 선택하여 제 1 뱅크 이미지 데이터(M11)를 생성한다. 제 1 뱅크 이미지 데이터(M11)는 제 1 뱅크 버퍼 데이터 출력신호(M11)로서 제 1 클러스터 스위치(800-1)의 버퍼 메모리 입력(CM_I)로 전송된다.
- [0130] 제 17 클락 사이클(T16)에서, 제 1 클러스터 스위치(800-1)로 수신된 제 1 뱅크 이미지 데이터(M11)는 제 1 클러스터 스위치(800-1) 내부의 제 3 래치에 의하여 시프트되어 제 1 뱅크 이미지 데이터 출력(DATA1)으로서 출력된다. 제 1 뱅크 이미지 데이터(M11), 즉 제 1 뱅크 이미지 데이터 출력(DATA1)은 도 1 또는 도 2에 도시된 제 1 파이(60-1)를 거쳐 제 1 ISP(80-1)로 전송될 수 있다. 제 1 뱅크 어드레스 입력(HDA1)과 제 1 뱅크 이미지 데이터 출력(DATA1)은 제 1 채널 (CHANNEL1)을 형성한다.
- [0131] 상술한 바와 같이, 도 4의 이미지 센서(71A)는 제 1 동작 모드에서 하나의 채널(CHANNEL1)을 통해 이미지 데이터 출력 동작을 수행하며, 임의의 혹은 연속된 뱅크 어드레스를 수신하여 이에 상응하는 이미지 데이터를 제1채널(CHANNEL1)로 출력할 수 있다.
- [0132] 도 4에 포함된 각 클러스터 스위치(800-1, 900-1, 800-2 및 900-2)의 구조는 도 4에 도시된 실시 예에 한정되는 것은 아니며, 전송 라인의 전송 길이 및 설계 사양에 의하여 각 클러스터 스위치(800-1, 900-1, 800-2 및 900-2)는 생략되거나 서로 합쳐질 수 있다. 각 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 내부의 래치(들)은 설계 사양에 따라 생략될 수 있다.
- [0133] 또한, 이미지 센서(71A)의 뱅크 어드레스 전송 및 이미지 데이터 전송은 연속된 파이프라인 체인을 통해 수행될 수 있다. 예를 들면, 제 2 클락 사이클(T1)에서, 제 1 클러스터 스위치(800-1)는 제 2 뱅크 어드레스(A1)를 입력받으며, 이후 매 클락 사이클마다 파이프라인처럼 연속적으로 다른 뱅크 어드레스들을 입력받을 수 있다. 이후의 매 클락 사이클마다 발생하는 뱅크 어드레스나 이미지 데이터의 전송 동작은 상술한 방법과 같은 방법으로 하나의 이미지 데이터 파이프라인을 형성할 수 있으며, 이는 도 5에서 자세히 설명된다.
- [0134] 도 4와 도 5를 참조하면, 이미지 센서(71A)는 버퍼 클락(SCLK)에 동기되어 제 1 뱅크 어드레스 입력(HDA1)을 통하여 제 1 뱅크 어드레스(A0)를 수신한다. 이후 연속된 각 뱅크 어드레스(A1~A18)가 매 클락 사이클마다 파이프라인 형태로 입력될 수 있다.
- [0135] 각 뱅크 어드레스(A0~A18)는 복수의 클러스터 스위치(800-1,900-1,800-2 및 900-2), 복수의 뱅크 어드레스 유닛(350-1~350-4) 및 복수의 뱅크 저장 유닛 (360-1~360-4)을 통하여 순차적으로 전송된다. 각 뱅크 어드레스(A0~A18)에 따라 리드된 이미지 데이터는, 복수의 클러스터 스위치(800-1, 900-1 및 800-2) 및 복수의 뱅크 버퍼 유닛(340-1~340-4)을 통하여, 제 1 뱅크 이미지 데이터 출력(DATA1)으로 출력된다.
- [0136] 즉, 임의의 혹은 연속된 뱅크 어드레스들이 파이프라인 형태로 순차적으로 입력되면, 입력된 각 뱅크 어드레스(A0~A18)에 따라 리드된 이미지 데이터는 파이프라인 형태로 순차적으로 출력된다. 이때, 출력되는 이미지 데이터의 순서는 입력된 각 뱅크 어드레스(A0~A18)의 순서와 같다.
- [0137] 도 5에서는 도 4에 포함된 래치들 각각이 버퍼 클락(SCLK)의 상승 에지 (positive edge or rising edge)에 동기되어 동작함을 기준으로 설명하였으나, 실시 예에 따라 상기 래치들의 일부 혹은 전부는 버퍼 클락(SCLK)의 하강에지 (negative edge or falling edge)에 응답하여 동작하도록 설계될 수 있다.
- [0138] 도 6은 본 발명의 다른 실시 예에 따른 이미지 센서(71B)의 블록도를 나타낸다. 이미지 센서(71B)는 복수의 컬럼 라인들로부터 수신되는 이미지 데이터를 설정된 동작 모드에 기초하여 선택적으로 하나의 채널 혹은 복수의 채널들로 전송할 수 있는 구조를 포함한다. 이때, 이미지 센서(71B)는 복수 채널들(CHANNEL1 및 CHANNEL2)을 통한 전송 동작을 수행할 수 있다.
- [0139] 도 6을 참조하면, 이미지 센서(71B)는 제 1 클러스터(400-1), 제 2 클러스터(400-2), 제 1 클러스터 스위치(800-1), 제 2 클러스터 스위치(900-1), 제 3 클러스터 스위치(800-2) 및 제 4 클러스터 스위치(900-2)를 포함할 수 있다.
- [0140] 제 1 클러스터(400-1)는 복수의 뱅크 버퍼 유닛(340-1 및 340-2), 복수의 뱅크 어드레스 유닛(350-1 및 350-2)

및 복수의 बैं크 저장 유닛(360-1 및 360-2)을 포함한다.

- [0141] 제 2 클러스터(400-2)는 복수의 बैं크 버퍼 유닛(340-3 및 340-4), 복수의 बैं크 어드레스 유닛(350-3 및 350-4) 및 복수의 बैं크 저장 유닛(360-3 및 360-4)을 포함할 수 있다.
- [0142] 도 6에 도시된 각 구성 요소(340-1~340-4, 350-1~350-4, 360-1~360-4, 800-1, 900-1, 800-2 및 900-2)의 구조는 도 4에 도시된 각 구성 요소(340-1~340-4, 350-1~350-4, 360-1~360-4, 800-1, 900-1, 800-2 및 900-2)의 구조와 실질적으로 동일하기 때문에, 각 구성 요소(340-1~340-4, 350-1~350-4, 360-1~360-4, 800-1, 900-1, 800-2 및 900-2)에 대한 자세한 설명은 생략한다.
- [0143] 따라서 이하에서는 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각의 동작을 중심으로 복수의 채널들(CHANNEL1 및 CHANNEL2)을 통해 해당하는 이미지 데이터를 출력하는 동작에 대해 설명한다.
- [0144] 도 6을 참조하면, 이미지 센서(71B)는, 제 2 동작 모드에서, 복수의 채널들(CHANNEL1과 CHANNEL2)을 통해 이미지 데이터를 출력하는 동작을 수행한다.
- [0145] 상기 제 2 동작 모드는 이미지 센서(71B)의 외부 핀에 대한 설정 혹은 외부 컨트롤러와의 인터페이스를 통하여 설정될 수 있다. 이때, 인터페이스는 CCI (Camera Control Interface)일 수 있으며, 상기 CCI는 SPI(Serial Peripheral Interface)나 I2C(Inter Integrated Circuit)와 같은 프로토콜로 동작할 수 있으나 이에 한정되는 것은 아니다.
- [0146] 제 2 동작 모드는 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 영향을 주므로, 상기 제 2 동작 모드는 이미지 센서(71B) 내부의 बैं크 어드레스 및/또는 이미지 데이터의 흐름을 제어한다.
- [0147] 제 2 동작 모드에서 이미지 센서(71B)는 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 따라 서로 독립적인 2개의 클러스터들(CLUSTER1과 CLUSTER2) 각각으로부터 출력된 이미지 데이터를 복수의 채널들(CHANNEL1과 CHANNEL2) 각각으로 로 출력한다.
- [0148] 도 7은 도 6에 도시된 이미지 센서(71B)의 동작을 설명하기 위한 타이밍도이다.
- [0149] 도 6과 도 7을 참조하면, 제 1 클락 사이클(T0)에서, 이미지 센서(71B)는 제 1 채널(CHANNEL1)의 제 1 बैं크 어드레스 입력(HDA1)을 통하여 제 1 बैं크 어드레스(A0)을 수신하고, 제 1 बैं크 어드레스(A0)를 제 1 클러스터 스위치(800-1)의 제 1 बैं크 어드레스 입력(TA_I)으로 전달한다.
- [0150] 제 2 클락 사이클 내지 제 4 클락 사이클(T1~T3)에서, 제 1 बैं크 어드레스 (A0)는 제 1 클러스터 스위치(800-1), 제 1 बैं크 저장 유닛(360-1), 및 제 2 बैं크 저장 유닛(360-2)으로 순차적으로 시프트되어 제 2 클러스터 스위치(900-1)의 제 1 어드레스 입력(TA_I)으로 전달된다.
- [0151] 제 2 클러스터 스위치(900-1)는 제 5 클락 사이클(T4)에서 제 1 बैं크 어드레스(A0)를 제 2 어드레스 출력(A_O)으로 전달한다. 제 6 클락 사이클 내지 제 7 클락 사이클(T5~T6)에서 제 1 बैं크 어드레스(A0)는 제 2 बैं크 어드레스 유닛(350-2) 및 제 1 बैं크 어드레스 유닛(350-1)으로 순차적으로 시프트된다.
- [0152] 제 6 클락 사이클 내지 제 8 클락 사이클(T5~T7) 동안, 제 2 बैं크 버퍼 유닛(340-2) 및 제 1 बैं크 버퍼 유닛(340-1)은 제 1 बैं크 어드레스(A0)에 기초하여 제 1 이미지 데이터(D0)를 순차적으로 시프트하여 제 1 클러스터 스위치(800-1)의 이미지 데이터 입력(CM_I)으로 전송한다. 제 9클락 사이클(T8)에서, 제 1 클러스터 스위치(800-1)는 제 1 이미지 데이터(D0)를 출력(CM_O)을 통하여 제 1 बैं크 이미지 데이터 출력(DATA1)으로서 출력한다.
- [0153] 마찬가지로, 제 1 클락 사이클(T0)에서, 이미지 센서(71B)는 제 2 채널 (CHANNEL2)의 제 2 बैं크 어드레스 입력(HDA2)을 통하여 제 9 बैं크 어드레스(A8)를 수신하고, 제 9 बैं크 어드레스(A8)를 제 4 클러스터 스위치(900-2)의 제 2 बैं크 어드레스 입력(A_I)으로 전달한다.
- [0154] 제 2 클락 사이클 내지 제 4 클락 사이클(T1~T3)에서, 제 9 बैं크 어드레스 (A8)는 제 4 클러스터 스위치(900-2), 제 4 बैं크 저장 유닛(360-4), 및 제 3 बैं크 저장 유닛(360-3)으로 순차적으로 시프트되어 제 3 클러스터 스위치(800-2)의 제 2 어드레스 입력(A_I)으로 전달된다.
- [0155] 제 3 클락 사이클 내지 제 5 클락 사이클 (T2~T4) 동안, 제 4 बैं크 버퍼 유닛(340-4) 및 제 3 बैं크 버퍼 유닛(340-3)은 제 9 बैं크 어드레스(A9)에 기초하여 제 9 이미지 데이터(D8)를 순차적으로 시프트하여 제 3 클러스터 스위치(800-2)의 이미지 데이터 입력(CM_I)으로서 전송한다.
- [0156] 제 6 클락 사이클(T5)에서, 제 3 클러스터 스위치(800-2)는 제 9 이미지 데이터(D8)를 제 1 어드레스 출력

(TA_0)으로 출력한다. 제 7 클락 사이클(T6), 및 제 8 클락 사이클(T7)에서, 제 3 뱅크 저장 유닛(360-3) 및 제 4 뱅크 저장 유닛 (360-4)는 제 9 뱅크 어드레스(A8)를 시프트하여 제 4 클러스터 스위치(900-2)의 제 1 어드레스 입력(TA_I)으로 전달한다. 제 9 클락 사이클(T8)에서, 제 4 클러스터 스위치(900-2)는 제9 뱅크 어드레스 (A8)를 출력(TA_0)을 통해 이미지 센서(71B)의 제 2 뱅크 이미지 데이터 출력(DATA2)으로서 출력한다.

- [0157] 제 1 뱅크 어드레스 입력(HDA1) 및 제 1 뱅크 이미지 데이터 출력(DATA1)은 이미지 센서(71B)의 제 1 채널 (CHANNEL1)을 형성한다. 또한, 제 2 뱅크 어드레스 입력(HDA2) 및 제 2 뱅크 이미지 데이터 출력(DATA2)은 이미 지 센서(71B)의 제 2 채널(CHANNEL2)을 형성한다.
- [0158] 제 1 뱅크 이미지 데이터 출력(DATA1)은 도 2에 도시된 바와 같이 제 1 파이(60-1)를 거쳐 제 1 채널(CHANNEL1) 연결된 제 1 ISP(80-1)로 전송될 수 있고, 제 2 뱅크 이미지 데이터 출력(DATA2)은 도 2에 도시된 바와 같이 제 2 파이(60-2)를 거쳐 제 2 채널(CHANNEL2) 연결된 제 2 ISP(80-2)로 전송될 수 있다.
- [0159] 상술한 바와 같이, 이미지 센서(71B)는 제 2 동작 모드에서 복수의 채널들 (CHANNEL1과 CHANNEL2)을 통해 이미 지 데이터를 출력하는 동작을 수행한다. 이미지 센서(71B)는 복수의 채널들(CHANNEL1과 CHANNEL2) 각각을 통해 임의의 순서로 혹은 연속적으로 입력되는 각 뱅크 어드레스를 수신하고 채널별(CHANNEL1과 CHANNEL2)로 수신된 각 뱅크 어드레스에 상응하는 이미지 데이터를 채널별(CHANNEL1과 CHANNEL2)로 동시에 출력할 수 있다.
- [0160] 도 3, 도 6, 및 도 7을 참조하면, 이미지 센서(71B)는, 버퍼 클락(SCLK)에 동기되어, 제 1 클락 사이클(T0)에서 제 1 뱅크 어드레스 입력(HDA1)을 통하여 제 1 뱅크 어드레스(A0)를 수신한다.
- [0161] 이후 연속된 각 뱅크 어드레스(A1~A50)가 매 클락 사이클마다 파이프라인 형태로 입력될 수 있다. 각 뱅크 어드 레스(A1~A50)는 버퍼 클락(SCLK)에 동기되어 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2), 복수의 뱅크 어드레스 유닛(350-1~350-4) 및 복수의 뱅크 저장 유닛(360-1~360-4) 중 일부를 거쳐서 순차적으로 전송된 다.
- [0162] 각 뱅크 어드레스(A0~A50)에 따라 리드된 이미지 데이터(D0~D50)는, 복수의 뱅크 버퍼 유닛(340-1~340-4)과 복 수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2)를 통해, 순차적으로 제 1 뱅크 이미지 데이터 출력 (DATA1)으로서 출력된다.
- [0163] 즉, 각 뱅크 어드레스(A0~50)가 파이프라인 형태로 순차적으로 입력되면, 각 뱅크 어드레스(A0~A50)에 따라 리 드된 이미지 데이터(D0~D50)는 파이프라인 형태로 순차적으로 출력된다. 이때, 출력되는 각 이미지 데이터 (D0~D50)의 순서는 입력된 각 뱅크 어드레스(A0~A50)의 순서와 같게 된다.
- [0164] 도 7에는 도 6에 포함된 래치들 각각이 버퍼 클락(SCLK)의 상승 에지 (positive edge or rising edge)에 동기 되어 동작함을 기준으로 설명하였으나, 실시 예에 따라 상기 래치들 중의 일부 혹은 전부가 버퍼 클락(SCLK)의 하강 에지 (negative edge or falling edge)에 동작하도록 설계될 수 있다.
- [0165] 도 8은 본 발명의 실시 예에 따른 제 1 클러스터 스위치(800)의 블록도이다. 도 8을 참조하면, 제 1 클러스터 스위치(800)는 제 1 래치(810), 제 2 래치 (820), 제 3 래치(830) 및 선택기(840)를 포함한다. 제 1 클러스터 스위치(800)는 도 4 또는 도 6에 도시된 각 클러스터 스위치(800-1 및 800-2)를 집합적으로 나타낼 수 있다.
- [0166] 선택기(840)는 이미지 데이터 입력(CM_I)을 통해 입력된 뱅크 이미지 데이터와 제 1 어드레스 입력(TA_I)를 통 해 입력된 제 1 뱅크 어드레스 중에서 하나를 선택하여 출력한다.
- [0167] 제 1 래치(810)는 선택기(840)의 출력을 수신하여 래치하고, 상기 래치된 값을 제 1 어드레스 출력(TA_0)으로 출력한다. 제 2 래치(820)는 제 2 어드레스 입력(A_I)에서 수신된 제 2 뱅크 어드레스를 래치하고 상기 래치된 제 2 뱅크 어드레스를 제 2 어드레스 출력(A_0)으로 출력한다.
- [0168] 제 3 래치(830)는 이미지 데이터 입력(CM_I)에서 수신된 상기 이미지 데이터를 래치하고 상기 래치된 이미지 데 이터를 이미지 데이터 출력(CM_O)으로 출력한다. 선택기(840)의 선택 신호(CTL)가 제 1 로직 레벨(예를 들며 접 지전압)일 경우 선택기(840)는 제 1 래치(810)로 뱅크 이미지 데이터를 선택하여 출력하고, 제 2 로직 레벨(예 를 들면 전원전압)일 경우 선택기(840)는 제1래치(810)로 제 1 뱅크 어드레스를 선택하여 출력한다. 제 1 클러 스타 스위치(800)는 도 4의 실시 예를 참조하여 설명한 바와 같이 제 1 클러스터(400-1) 및 제 2 클러스터(400- 2) 각각의 뱅크 어드레스 및 이미지 데이터를 송수신하는 역할을 수행한다.
- [0169] 본 실시 예에서는 뱅크 어드레스 및 이미지 데이터가 송수신 될 때, 이들은 각 래치(810, 820, 및 830)에 래치 되는 실시 예에 도 7에 도시되어 있으나 본 발명은 이에 한정되지 않고 상기 뱅크 어드레스 및 상기 이미지 데이터의

송수신에 제약이 없을 경우, 래치들(810, 820, 및 830) 중에서 적어도 하나의 래치는 구현되지 않을 수 있으므로, 상기 बैं크 어드레스 및 상기 이미지 데이터 중에서 어느 하나는 저장되지 않고 전달될 수 있다.

- [0170] 도 9는 본 발명의 실시 예에 따른 제 2 클러스터 스위치(900)의 블록도이다. 도 9를 참조하면, 제 2 클러스터 스위치(900)는 제 1 래치(910), 제 2 래치 (920), 제 3 래치(930), 및 선택기(940)를 포함한다. 제 2 클러스터 스위치(900)는 도 4 또는 도 6에 도시된 각 클러스터 스위치(900-1 및 900-2)를 집합적으로 나타낼 수 있다.
- [0171] 제 1 래치(910)는 제 1 어드레스 입력(TA_I)에서 수신된 제 1 बैं크 어드레스를 래치하고 상기 래치된 제 1 बैं크 어드레스를 제 1 어드레스 출력(TA_O)으로 출력한다. 선택기(940)는 제 2 어드레스 입력(A_I)에서 수신된 제 2 बैं크 어드레스와 상기 제 1 बैं크 어드레스 중 하나를 선택하여 출력한다. 제 2 래치(930)는 선택기(940)의 출력을 수신하여 래치하고 래치된 값을 제 2 어드레스 출력(A_O)으로 출력한다.
- [0172] 선택 신호(CTL)가 제 1 로직 레벨(예를 들며 접지전압)일 경우 선택기 (940)는 제 2 बैं크 어드레스를 선택적으로 출력하고, 선택 신호(CTL)가 제 2 로직 레벨(예를 들면 전원전압)일 경우 선택기(940)는 제 1 बैं크 어드레스를 선택적으로 출력한다.
- [0173] 제 3 래치(930)는 이미지 데이터 입력(CM_I)에서 수신된 이미지 데이터를 래치하고 래치된 이미지 데이터를 이미지 데이터 출력(CM_O)으로 출력한다. 제 2 클러스터 스위치(900)는 도 4의 실시 예를 참조하여 설명한 바와 같이 제 1 클러스터(400-1) 및 제 2 클러스터(400-2) 각각의 बैं크 어드레스 및 이미지 데이터를 송수신하는 역할을 수행한다.
- [0174] 본 실시 예에서는 बैं크 어드레스 및 이미지 데이터가 송수신 될 때, 이들이 각 래치(910, 920, 및 930)에 래치 되는 실시 예가 도시되어 있으나 본 발명은 이에 한정되지 않고 상기 बैं크 어드레스 및 상기 이미지 데이터의 송수신에 제약이 없을 경우 래치들(910, 920, 및 930) 중에서 적어도 하나의 래치는 구현되지 않을 수 있으므로, 상기 बैं크 어드레스 및 상기 이미지 데이터 중에서 어느 하나는 저장되지 않고 전달될 수 있다.
- [0175] 도 8 및 도 9를 참조하면, 도 8의 제 1 클러스터 스위치(800)와 도 9의 제 2 클러스터 스위치(900)는 경우에 따라 간소화되거나 전송 속도를 개선하기 위하여 하나의 클러스터 스위치로 구현될 수 있다. 예를 들면, 도 4의 제 2 클러스터 스위치(900-1)와 제 3 클러스터 스위치(800-2)가 하나의 클러스터 스위치로 구현될 때, 상기 하나의 클러스터 스위치는 제 1 클러스터 스위치(800-1)와 같은 구조로 대체될 수 있다.
- [0176] 도 4부터 도 9를 참조하면, 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각으로 입력되는 선택 신호(CTL)는, 이미지 센서(71A 및 71B)의 동작 모드에 따라, 이미지 센서(71A 및 71B)의 하나의 채널 혹은 복수의 채널들로 전송될 बैं크 어드레스 및/또는 이미지 데이터의 흐름을 결정한다.
- [0177] 여기서, 선택 신호(CTL)는 각 선택 신호(CTL11, CTL12, CTL21, 및 CTL22)를 집합적으로 나타낼 수 있다.
- [0178] 도 4에 도시된 바와 같이 제 1 클러스터 스위치(800-1)의 선택 신호 (CTL11)가 제 2 로직 레벨(예를 들면 전원 전압), 제 2 클러스터 스위치(900-1)의 선택 신호(CTL12)가 제 1 로직 레벨(예를 들면 접지전압), 제 3 클러스터 스위치(800-2)의 선택 신호(CTL21)가 제 2 로직 레벨, 및 제 4 클러스터 스위치(900-2)의 선택 신호(CTL22)가 제 2 로직 레벨일 경우, 도 4의 이미지 센서(71A)는 하나의 채널(CHANNEL1)을 통해 이미지 데이터를 출력하는 동작을 수행한다.
- [0179] 반면, 도 6에 도시된 제 1 클러스터 스위치(800-1)의 선택 신호(CTL11)가 제 2 로직 레벨, 제 2 클러스터 스위치(900-1)의 선택 신호(CTL12)가 제 2 로직 레벨, 제 3 클러스터 스위치(800-2)의 선택 신호(CTL21)가 제 1 로직 레벨, 제 4 클러스터 스위치(900-2)의 선택신호(CTL22)가 제 2 로직 레벨일 경우, 도 6의 이미지 센서(71B)는 복수의 채널들(CHANNEL1과 CHANNEL2)로 이미지 데이터를 출력하는 동작을 수행한다. 도 6에서 이미지 센서 (71B)는 2개의 채널들을 포함하는 것으로 예시되어 있으나, 이미지 센서(71B)의 채널의 개수는 클러스터의 개수, 및/또는 파이의 개수에 따라 2보다 클 수 있다.
- [0180] 도 10은 본 발명의 또 다른 일 실시 예에 따른 이미지 센서(72A)의 블록도이다. 도 10을 참조하면, 이미지 센서 (72A)는 제 1 클러스터(400-1A), 제 2 클러스터(400-2A), 제 1 클러스터 스위치(800-1), 제 2 클러스터 스위치 (900-1), 제 3 클러스터 스위치(800-2), 및 제 4 클러스터 스위치(900-2)를 포함할 수 있다. 도 10의 이미지 센서(72A)는 하나의 채널(CHANNEL1)을 통한 이미지 데이터 전송 동작을 수행할 수 있다.
- [0181] 제 1 클러스터(400-1A)는 복수의 बैं크 버퍼 유닛(340-1 및 340-2) 및 복수의 बैं크 어드레스 유닛(350-1 및 350-2)을 포함할 수 있다. 도 10의 제 1 클러스터(400-1A)는 도 4의 제 1 클러스터(400-1)와 달리 복수의 बैं크

저장 유닛(360-1과 360-2)을 포함하지 않는다.

- [0182] 제 2 클러스터(400-2A)는 복수의 뱅크 버퍼 유닛(340-3 및 340-4) 및 복수의 뱅크 어드레스 유닛(350-3~350-4)을 포함할 수 있다. 도 10의 제 2 클러스터(400-2A)는 도 4의 제 2 클러스터(400-2)와 달리 복수의 뱅크 저장 유닛(360-3과 360-4)을 포함하지 않는다.
- [0183] 도 10에 도시된 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2 및 900-2)의 구조와 기능은 도 4에 도시된 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2 및 900-2)의 구조와 기능과 실질적으로 동일하므로, 도 10에서는 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2 및 900-2)에 대한 자세한 설명은 생략하고, 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각의 동작을 중심으로 하나의 채널을 통해 전송되는 이미지 데이터 출력 동작이 설명된다.
- [0184] 도 10을 참조하면, 이미지 센서(72A)는 제 3 동작 모드에서 하나의 채널 (CHANNEL1)을 통해 이미지 데이터 출력 동작을 수행한다.
- [0185] 상기 제 3 동작 모드는 이미지 센서(72A)의 외부 핀에 대한 설정 혹은 외부 컨트롤러와의 인터페이스를 통하여 설정될 수 있다. 이때, 상기 인터페이스는 CCI(Camera Control Interface)일 수 있으며, 상기 CCI는 SPI(Serial Peripheral Interface)나 I2C(Inter Integrated Circuit)와 같은 프로토콜로 동작할 수 있으나 이에 한정되는 것은 아니다.
- [0186] 상기 제 3 동작모드는 각 스위치 제어신호(CTL11, CTL12, CTL21 및 CTL22)에 영향을 주므로, 상기 제 3 동작 모드는 이미지 센서(72A) 내부의 뱅크 어드레스 및/또는 이미지 데이터의 흐름을 제어한다. 상기 제 3 동작 모드에서 이미지 센서 (72A)는 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 기초하여 하나의 채널 (CHANNEL1)로 전송되는 이미지 데이터 출력 동작을 수행한다.
- [0187] 도 5와 도 10을 참조하면, 제 1 클락 사이클(T0)에서, 이미지 센서(72A)는 제 1 채널(CHANNEL1)의 제 1 뱅크 어드레스 입력(HDA1)을 통하여 제 1 뱅크 어드레스(A0)를 수신하고, 제 1 뱅크 어드레스(A0)를 제 1 클러스터 스위치(800-1)의 제 1 뱅크 어드레스 입력(TA_I)으로 전달한다. 제 2 클락 사이클(T1)에서, 제 1 뱅크 어드레스(A0)는 제 2 클러스터 스위치(900-1)의 제 1 뱅크 어드레스 입력(TA_I)로 입력된다. 이후, 제 3 클락 사이클(T2)에서, 제 1 뱅크 어드레스(A0)는 제 2 클러스터 스위치(900-1)의 출력(TA_O)을 통해 제 3 클러스터 스위치(800-2)의 제 1 뱅크 어드레스 입력(TA_I)으로 입력된다. 제 4 클락 사이클(T3)에서, 제 1 뱅크 어드레스(A0)는 제 3 클러스터 스위치(800-2)의 출력(TA_O)을 통해 제 4 클러스터 스위치(900-2)의 제 1 뱅크 어드레스 입력(TA_I)으로 입력된다. 이후의 동작은 도 4의 동작과 같으므로 상세한 설명은 생략한다.
- [0188] 도 10을 참조하면, 제 13 클락 사이클(T12)에서, 이미지 센서(72A)는 제 1 클러스터 스위치(800-1)의 이미지 데이터 출력(CM_O)으로부터 제 1 채널(CHANNEL1)의 제 1 뱅크 이미지 데이터 출력(DATA1)으로 제 1 뱅크 어드레스(A0)에 상응하는 제 1 이미지 데이터(D0)를 출력한다.
- [0189] 도 11은 본 발명의 또 다른 실시 예에 따른 이미지 센서(72B)의 블록도를 나타낸다. 도 11에 도시된 이미지 센서(72B)는 복수의 채널들(CHANNEL1과 CHANNEL2)을 통해 이미지 데이터 전송 동작을 수행할 수 있다. 도 11을 참조하면 이미지 센서(72B)는 제 1 클러스터(400-1A), 제 2 클러스터(400-2A), 제 1 클러스터 스위치(800-1), 제 2 클러스터 스위치(900-1), 제 3 클러스터 스위치(800-2), 및 제 4 클러스터 스위치(900-2)를 포함한다.
- [0190] 제 1 클러스터(400-1A)는 복수의 뱅크 버퍼 유닛(340-1 및 340-2) 및 복수의 뱅크 어드레스 유닛(350-1 및 350-2)을 포함할 수 있다.
- [0191] 제 2 클러스터(400-2A)는 복수의 뱅크 버퍼 유닛(340-3 및 340-4) 및 복수의 뱅크 어드레스 유닛(350-3 및 350-4)을 포함할 수 있다.
- [0192] 도 11에서 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2, 900-2)의 구조와 동작은 도 6의 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2, 900-2)의 구조와 동작과 실질적으로 동일하므로, 각 구성 요소(340-1~340-4, 350-1~350-4, 800-1, 900-1, 800-2, 900-2)에 대한 자세한 설명은 생략하고, 복수의 클러스터 스위치(800-1, 900-1, 800-2 및 900-2) 각각의 동작을 중심으로 독립적인 2개의 클러스터들(400-1A와 400-2A) 각각이 복수의 채널들(CHANNEL1과 CHANNEL2) 각각을 통해 전송하는 이미지 데이터 출력 동작에 대해 설명하도록 하겠다.
- [0193] 도 11을 참조하면, 이미지 센서(72B)는, 제 4 동작 모드에서, 두 개의 채널들(CHANNEL1과 CHANNEL2)을 통해 이미지 데이터 출력 동작을 수행한다. 상기 제 4 동작 모드는 이미지 센서(72B)의 외부 핀에 대한 설정 혹은 외부

컨트롤러와의 인터페이스를 통하여 설정될 수 있다. 이때, 상기 인터페이스는 CCI(Camera Control Interface)일 수 있으며, 상기 CCI는 SPI(Serial Peripheral Interface)나 I2C(Inter Integrated Circuit)와 같은 프로토콜로 동작할 수 있으나 이에 한정되는 것은 아니다.

- [0194] 상기 제 4 동작모드는 각 스위치 제어신호(CTL11, CTL12, CTL21 및 CTL22)에 영향을 주므로, 상기 제 4 동작모드는 이미지 센서(72B) 내부의 뱅크 어드레스 및/또는 이미지 데이터의 흐름을 제어한다. 상기 제 4 동작모드에서 상기 이미지 센서(72B)는 각 스위치 제어 신호(CTL11, CTL12, CTL21 및 CTL22)에 기초하여 복수의 채널들(CHANNEL1과 CHANNEL2) 각각으로 전송되는 이미지 데이터 출력 동작을 수행한다.
- [0195] 도 7과 도 11을 참조하면, 제 1 클락 사이클(T0)에서, 이미지 센서(72B)는 제 1 채널(CHANNEL1)의 제 1 뱅크 어드레스 입력(HDA1)을 통하여 제 1 뱅크 어드레스(A0)를 수신하고, 제 1 뱅크 어드레스(A0)를 제 1 클러스터 스위치(800-1)의 제 1 뱅크 어드레스 입력(TA_I)으로 전달한다.
- [0196] 제 2 클락 사이클(T1)에서, 제 1 뱅크 어드레스(A0)는 제 1 클러스터 스위치(800-1)의 출력(TA_O)를 통해 제 2 클러스터 스위치(900-1)의 제 1 뱅크 어드레스 입력(TA_I)으로 입력된다. 이후의 동작은 도 6과 도 7에 도시된 바와 동일 또는 유사하므로 이후의 동작에 대한 자세한 설명은 생략한다.
- [0197] 도 7과 도 11을 참조하면, 제 7 클락 사이클(T6)에서, 이미지 센서(72B)는 제 1 클러스터 스위치(800-1)의 이미지 데이터 출력(CM_O)을 통해 제 1 뱅크 이미지 데이터출력(DATA1)으로서 제 1 뱅크 어드레스(A0)에 상응하는 제 1 이미지 데이터(D0)를 출력한다.
- [0198] 제 1 클락 사이클(T0)에서, 이미지 센서(72B)는 제 2 채널(CHANNEL2)의 제 2 뱅크 어드레스 입력(HDA2)을 통하여 제 9 뱅크 어드레스(A8)를 수신하고, 제 9 뱅크 어드레스(A8)를 제 4 클러스터 스위치(900-2)의 제 2 뱅크 어드레스 입력(A_I)으로 전달한다.
- [0199] 제 2 클락 사이클(T1)에서, 제 9 뱅크 어드레스(A8)는 제 4 뱅크 어드레스 유닛(350-4)의 뱅크 어드레스 입력(BA_I)으로 입력된다. 이후의 동작은 도 6과 도 7에 도시된 바와 실질적으로 동일 또는 유사하므로 이후의 동작에 대한 자세한 설명은 생략한다.
- [0200] 도 7과 도 11을 참조하면, 제 6 클락 사이클(T5)에서, 이미지 센서(72B)는 제 3 클러스터 스위치(800-2)의 제 1 뱅크 어드레스 출력(CM_O)으로부터 제 4 클러스터 스위치(900-2)의 제 1 뱅크 어드레스 입력(TA_I)으로 제 9 뱅크 어드레스(A8)에 상응하는 제 9 이미지 데이터(D8)을 출력한다. 제 7 클락 사이클(T6)에서, 제 4 클러스터 스위치(900-2)는 제 9 이미지 데이터(D8)를 제 2 채널(CHANNEL2)로 제 2 뱅크 이미지 데이터출력(DATA2)으로 출력한다.
- [0201] 이후에 입력되는 뱅크 어드레스 및 이에 상응하는 이미지 데이터의 출력은 도 6 및 도 7을 참조하여 설명된 것과 동일 또는 유사하게 파이프라인 형태로 수행된다.
- [0202] 도 12는 본 발명의 또 다른 일 실시 예에 따른 이미지 센서(73A)의 블록도이다.
- [0203] 도 12를 참조하면, 뱅크 어드레스 입력(HDA1)이 형성된 위치를 제외하면, 도 12의 이미지 센서(73A)의 구조는 도 10에 도시된 이미지 센서(72A)의 구조와 실질적으로 같다. 즉, 뱅크 어드레스가 제 1 채널(CHANNEL1)의 뱅크 어드레스 입력(HDA1)을 통하여 제 4 클러스터 스위치(900-2)의 제 2 뱅크 어드레스 입력(A_I)을 통하여 입력된다.
- [0204] 도 12에 도시된 이미지 센서(73A)의 기본적인 동작은 도 4, 도 6, 도 10 및 도 11의 실시 예를 통하여 설명한 것과 유사하므로 이미지 센서(73A)에 대한 상세한 설명은 생략하도록 하겠다. 다만, 이미지 데이터가 출력되는 제11클락 사이클(T10)은 다르다.
- [0205] 도 13은 본 발명의 실시 예에 따른 이미지 센서(73B)의 블록도를 나타낸다. 도 13의 이미지 센서(73B)는 복수의 채널들(CHANNEL1과 CHANNEL2)을 통해 이미지 데이터 전송 동작을 수행할 수 있다. 도 13의 이미지 센서(73B)의 구조는 뱅크 어드레스 입력(HDA1)과 이미지 데이터 출력(DATA2)이 형성된 위치를 제외하면, 도 11에 도시된 이미지 센서(72B)의 구조와 실질적으로 동일하다.
- [0206] 뱅크 어드레스가 제 1 채널(CHANNEL1)의 뱅크 어드레스 입력(HDA1)을 통해 제 2 클러스터 스위치(900-1)의 제 1 뱅크 어드레스 입력(TA_I)으로 입력되고, 상기 뱅크 어드레스에 대응하는 이미지 데이터는 제 2 채널(CHANNEL2)의 제 2 뱅크 이미지 데이터 출력(DATA2)을 거쳐 제 3 클러스터 스위치(800-2)의 제 1 뱅크 어드레스 출력(TA_O)을 통하여 출력된다.

- [0207] 채널의 개수가 2보다 큰 경우에도 어느 위치의 클러스터 스위치를 통해서도 बैं크 어드레스를 입력하고 상기 बैं크 어드레스에 대응하는 이미지 데이터를 출력하도록 하여 복수의 채널로 동작하는 이미지 센서를 구현할 수 있다.
- [0208] 도 13에 도시된 이미지 센서(73B)의 기본적인 동작은 도 4, 도 6, 도 10 및 도 11의 실시 예를 참조하여 설명한 것과 유사하므로 상세한 설명은 생략하도록 하겠다. 다만, 제 1 बैं크 이미지 데이터(DATA1) 및 제 2 बैं크 이미지 데이터 (DATA2) 각각은 제6 클럭 사이클(T5)에서 수행된다.
- [0209] 도 14는 본 발명의 실시 예들에 따른 이미지 센서의 이미지 데이터 래치 동작방법을 보여주는 흐름도이다. 도 1 부터 도 14를 참조하면, 본 발명의 실시 예들에 따른 이미지 센서(71A, 71B, 72A, 72B, 73A 또는 73B)의 이미지 데이터 래치 동작 방법은 동작 모드를 결정하기 위한 단계(S1410)가 수행된다. 동작 모드는 상술한 바와 같이 제1동작 모드 내지 제4동작 모드 중에서 어느 하나일 수 있다.
- [0210] 상기 동작 방법은 결정된 동작 모드에 기초하여 복수의 클러스터들(40-1과 40-2, 400-1과 400-2) 및 복수의 클러스터 스위치들(800-1, 900-1, 800-2 및 900-2)의 동작 및 제 1 बैं크 어드레스 입력(HDA1) 및 제 2 बैं크 어드레스 입력(HDA2) 중 적어도 하나로 बैं크 어드레스를 입력하는 단계(S1420)가 수행된다.
- [0211] 제1클러스터(400-1)는 각 클러스터(400-1A와 400-1B)를 집합적 (collectively)으로 나타내고, 제2클러스터(400-2)는 각 클러스터(400-2A와 400-2B)를 집합적으로 나타낸다.
- [0212] 상기 동작 방법은 결정된 동작 모드에 따라 제 1 채널 (CHANNEL1) 및 제 2 채널(CHANNEL2) 중 적어도 하나의 채널로 임의의 순서로 혹은 순차적으로 연속된 각 बैं크 어드레스를 복수의 클러스터들로 전송하는 단계(S1430)를 포함한다.
- [0213] 또한, 상기 이미지 센서의 동작 방법은 입력된 बैं크 어드레스와 복수의 클러스터들(40-1과 40-2, 혹은 400-1과 400-2) 각각에 포함된 버퍼 बैं크(41-1과 41-2, 혹은 300)에 할당된 बैं크 어드레스를 비교하는 단계(S1440)를 수행한다.
- [0214] 상기 동작 방법은 비교의 결과에 기초하여 버퍼 बैं크(41-1과 41-2, 혹은 300)의 버퍼 메모리(42-1과 42-2, 혹은 340-1~340-4)에서 출력되는 제 1 이미지 데이터와 이전 बैं크로부터 전달된 제 2 이미지 데이터 중 하나를 선택 하여 래치하는 단계(S1450 및 S1460), 및 제 1 채널 (CHANNEL) 혹은 제 2 채널(CHANNEL2)로 래치된 이미지 데이터를 시프트하여 출력하는 단계(S1470)를 포함한다.
- [0215] 도 15는 본 발명의 실시 예들에 따른 이미지 센서의 가변적 채널출력 동작방법을 설명하기 위한 흐름도이다.
- [0216] 도 15를 참조하면, 도 1 내지 도 13의 실시 예에 따른 이미지 센서의 가변적 채널 출력 동작 방법은 동작 모드를 결정하기 위한 단계(S1510)를 포함한다.
- [0217] 상기 이미지 센서의 동작 모드를 설정하기 위하여, 상기 이미지 센서의 외부 핀에 전압이 설정되거나 상기 이미지 센서의 컨트롤러의 인터페이스(예를 들면 Camera Control Interface)를 통하여 외부 장치(예를 들면 애플리케이션 프로세서)로부터 동작 모드 정보가 수신될 수 있다.
- [0218] 상기 이미지 센서의 동작 방법은 상기 동작 모드가 제 1 동작 모드인지 제 2 동작 모드인지를 판단하는 단계(S1520)를 포함한다.
- [0219] 상기 이미지 센서의 동작 방법은, 상기 동작 모드가 제 1 동작 모드일 때, 상기 이미지 센서가 제 1 채널 (CHANNEL1)의 제 1 बैं크 어드레스 입력(HDA1)을 통하여 임의의 순서로 입력되는 혹은 순차적으로 연속하여 입력 되는 제 1 बैं크 어드레스(A0)를 수신하는 단계(S1530)를 수행하고, 상기 이미지 센서는 제 1 클러스터(40-1 혹은 400-1) 및 제 2 클러스터들(40-2 혹은 400-2)로부터 출력된 이미지 데이터를 제 1 채널(CHANNEL1)의 제 1 बैं크 이미지 데이터 출력(DATA1)으로서 시프트하여 출력하는 단계(S1540)를 포함한다.
- [0220] 반면, 상기 이미지 센서의 동작방법은, 상기 동작 모드가 제 2 동작 모드일 때, 상기 이미지 센서가 상기 제 1 채널(CHANNEL1)의 제 1 बैं크 어드레스 입력(HDA1)과 제 2 채널(CHANNEL2)의 제 2 बैं크 어드레스 입력(HDA2) 각각을 통하여 임의의 순서로 입력되는 혹은 순차적으로 연속하여 입력되는 제 1 बैं크 어드레스 및 제 2 बैं크 어드레스 각각을 독립적으로 수신하는 단계(S1550)를 수행하고, 상기 이미지 센서는 제 1 클러스터(40-1) 및 제 2 클러스터들(40-2) 각각으로부터 출력된 이미지 데이터를 제 1 채널(CHANNEL1)의 제 1 बैं크 이미지 데이터 출력 (DATA1) 및 제 2 채널(CHANNEL2)의 제 2 बैं크 이미지 데이터 출력(DATA2) 각각으로 시프트하여 출력하는 단계(S1560)을 포함한다.

- [0221] 도 16은 본 발명의 다양한 실시 예에 도시된 이미지 센서를 포함하는 전자 시스템 및 인터페이스를 나타낸다.
- [0222] 도 1부터 도 16을 참조하면, 전자 시스템(1600)은 MIPI(Mobile Industry Processor Interface)를 사용 또는 지원할 수 있는 데이터 처리 장치, 예컨대 이동 전화기, PDA(personal digital assistants), PMP(Portable Multimedia Player), 또는 스마트 폰으로 구현될 수 있다.
- [0223] 전자 시스템(1600)은 어플리케이션 프로세서(1610), 이미지 센서(1671), 및 디스플레이(1660)를 포함한다.
- [0224] 어플리케이션 프로세서(1610)에 포함된 ISP(1612)는 카메라 시리얼 인터페이스(camera serial interface; CSI)를 통하여 카메라 디바이스(1670)에 포함된 이미지 센서(1671)와 시리얼 통신할 수 있다. 이때, ISP(1612)와 카메라 디바이스(1671)는 콘트롤 정보를 주고 받기 위하여 CCI(Camera Control Interface)를 포함할 수도 있다.
- [0225] 어플리케이션 프로세서(1610)은 CCI를 통하여 이미지 센서(1671)의 하나의 채널 혹은 복수의 채널로 이미지 데이터를 전송하는 동작모드를 설정할 수 있다. 상기 CSI 및 CCI는 이미지 센서(1671)와 동일한 실리콘기판(Silicon-substrate)위에 형성될 수 있다. 또한, 카메라 디바이스(1670)은 카메라 모듈일 수 있으며, 상기 CCI는 SPI나 I2C로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0226] 이미지 센서(1671)는 본 명세서에서 설명된 이미지 센서(71, 72A, 72B, 73A, 또는 73B)를 의미할 수 있다.
- [0227] 어플리케이션 프로세서(1610)에 구현된 DSI 호스트(1611)는 디스플레이 시리얼 인터페이스(display serial interface; DSI)를 통하여 디스플레이(1660)의 DSI 장치(1661)와 시리얼 통신할 수 있다. 이때, DSI 호스트(1611)에는 시리얼라이저(SER)가 구현될 수 있고, DSI 장치(1661)에는 디시리얼라이저(DES)가 구현될 수 있다. 각 장치(SER와 DES)는 전기적으로 또는 광학적으로 신호를 주거나 받을 수 있다.
- [0228] 전자 시스템(1600)은 어플리케이션 프로세서(1610)와 통신할 수 있는 RF 칩(1620)을 더 포함할 수 있다. 전자 시스템(3)의 PHY(1613)와 RF 칩(1620)의 PHY(1621)는 MIPI DigRF에 따라 데이터를 주고받을 수 있다.
- [0229] 전자 시스템(1600)은 GPS 수신기(Global Positioning System Receiver; 1630), 스토리지(1636), 마이크(1635), DRAM(1637), 및 스피커(1634)를 더 포함할 수 있다. 또한, 전자 시스템(1600)은 Wimax(World Interoperability for Microwave Access, 1633), WLAN(Wireless LAN, 1632), 및 UWB(Ultra Wideband; 1631) 등을 이용하여 통신할 수 있다.
- [0230] 본 명세서에서 설명된 채널은 데이터가 전송되는 물리적인 전송 경로를 의미할 수도 있고 각 데이터를 그 자체를 의미할 수 있다.
- [0231] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

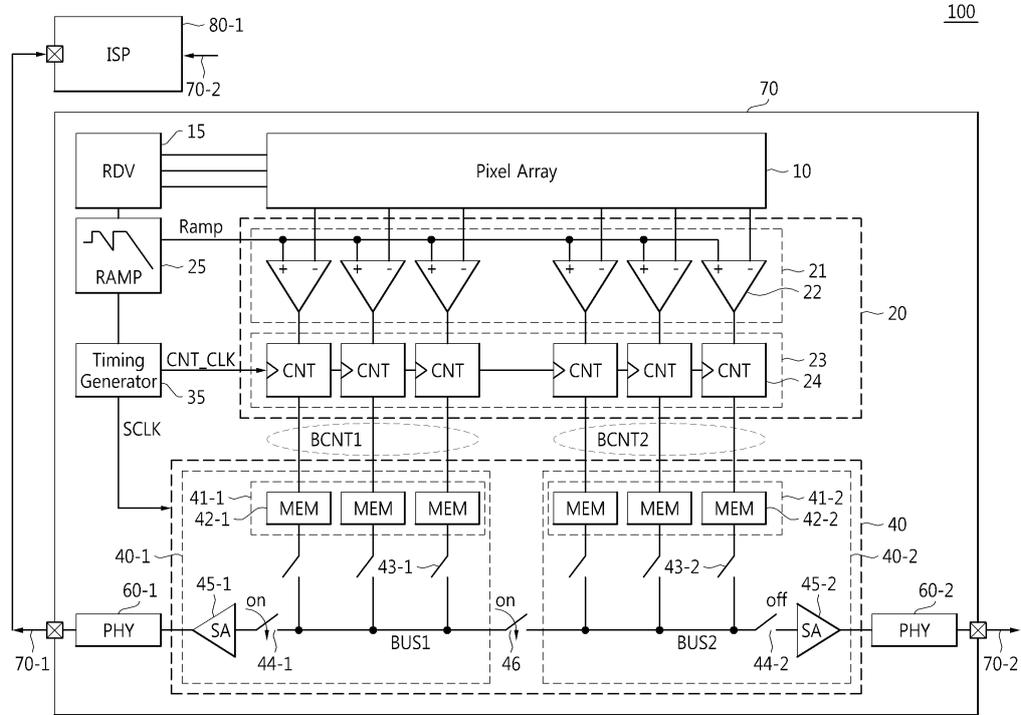
부호의 설명

- [0232] 70, 71A, 71B, 72A, 72B, 73A 및 73B; 이미지 센서
- 100 및 200; 이미지 처리 시스템
- 1600; 전자 시스템 및 인터페이스
- 300; 버퍼 뱅크
- 340; 뱅크 버퍼 유닛
- 350; 뱅크 어드레스 유닛
- 360; 뱅크 저장 유닛
- 800; 제 1 클러스터 스위치
- 900; 제 2 클러스터 스위치
- 40-1, 40-2, 400-1 및 400-2; 클러스터
- 70-1 및 70-2; 제 1 채널 및 제 2 채널

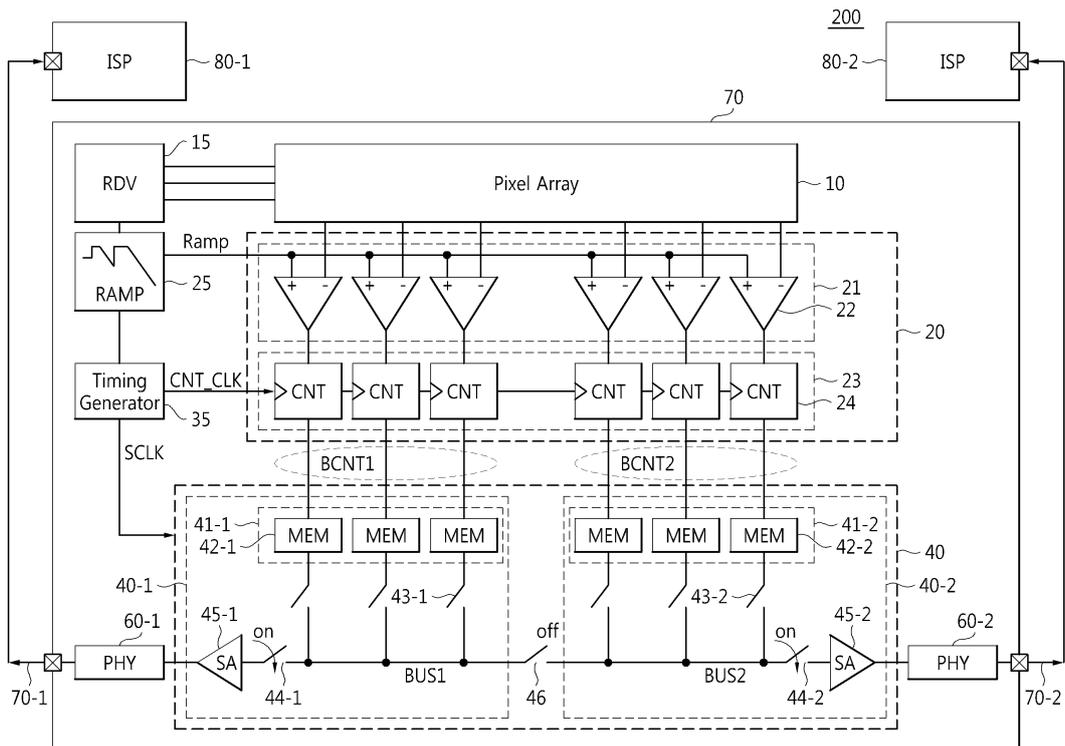
80-1 및 80-2; 제 1 ISP 및 제 2 ISP

도면

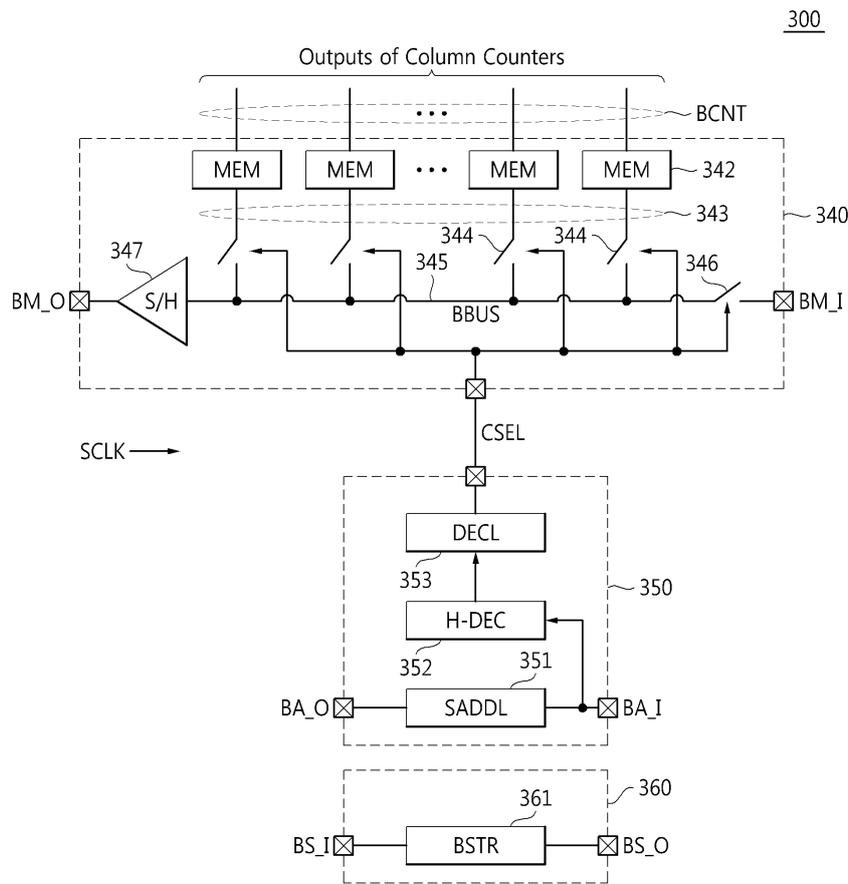
도면1



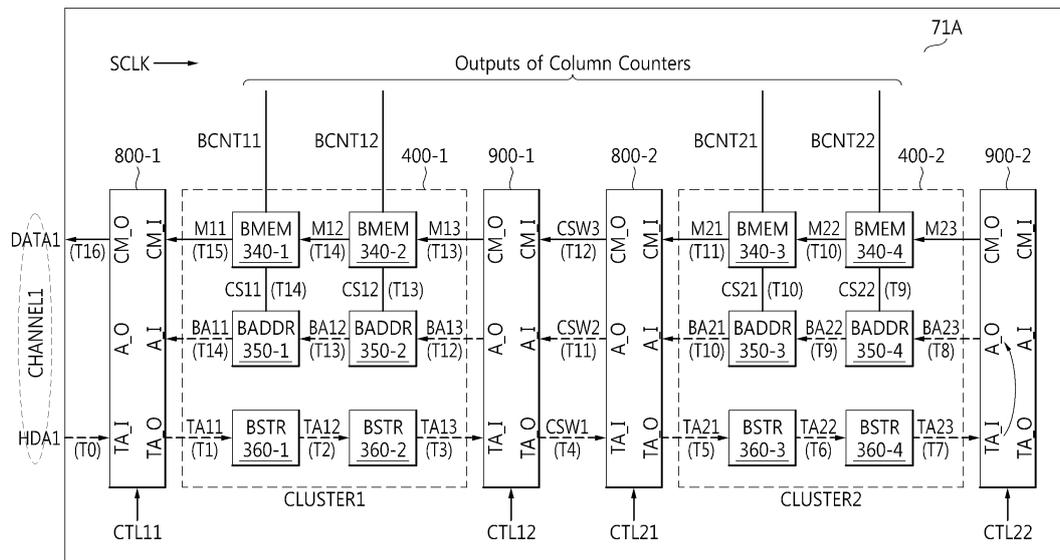
도면2



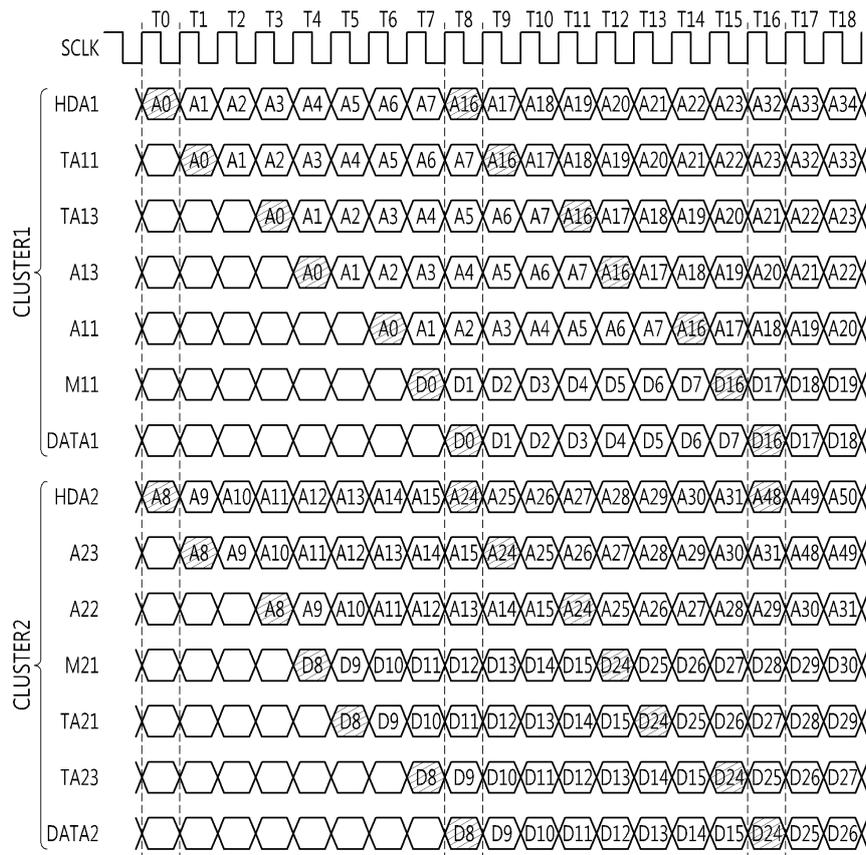
도면3



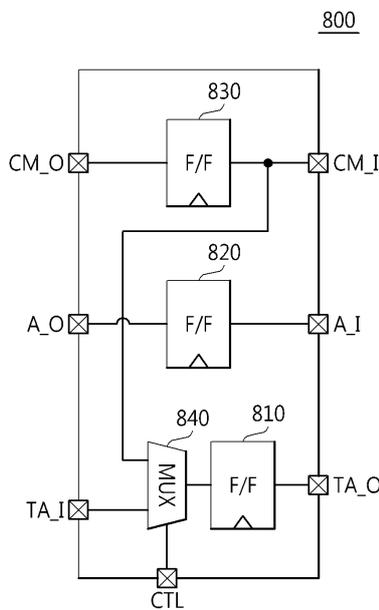
도면4



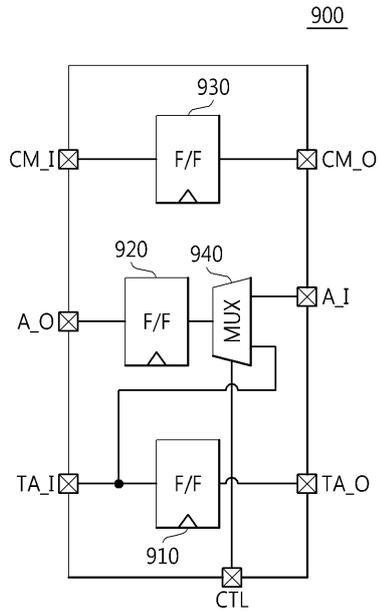
도면7



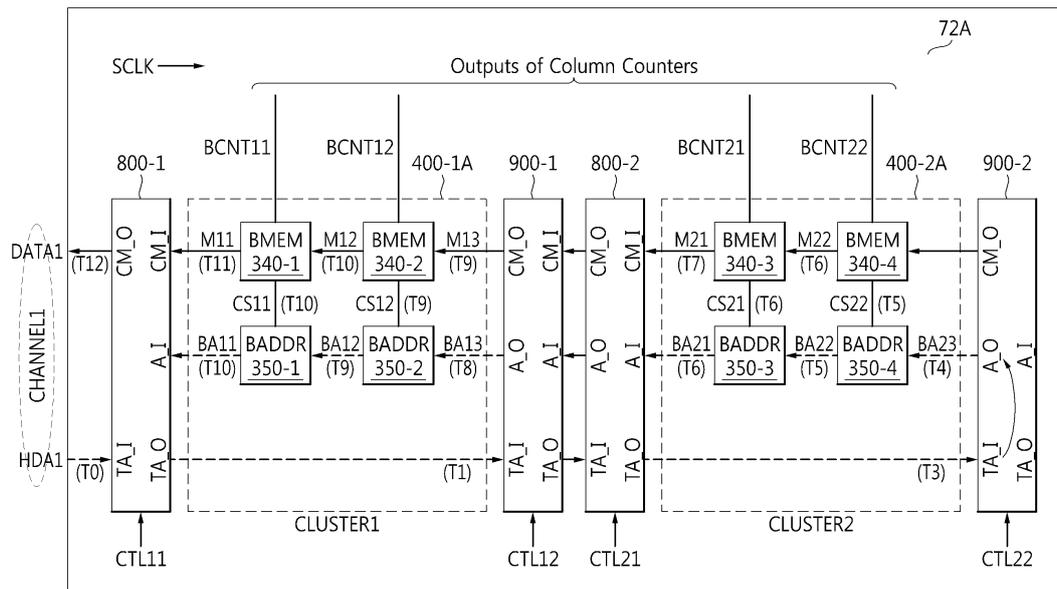
도면8



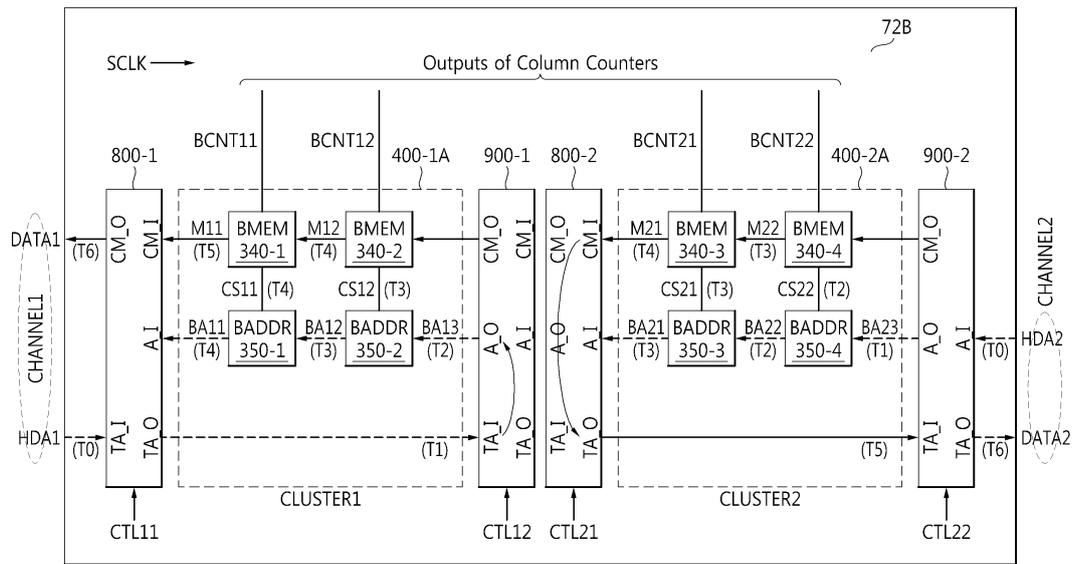
도면9



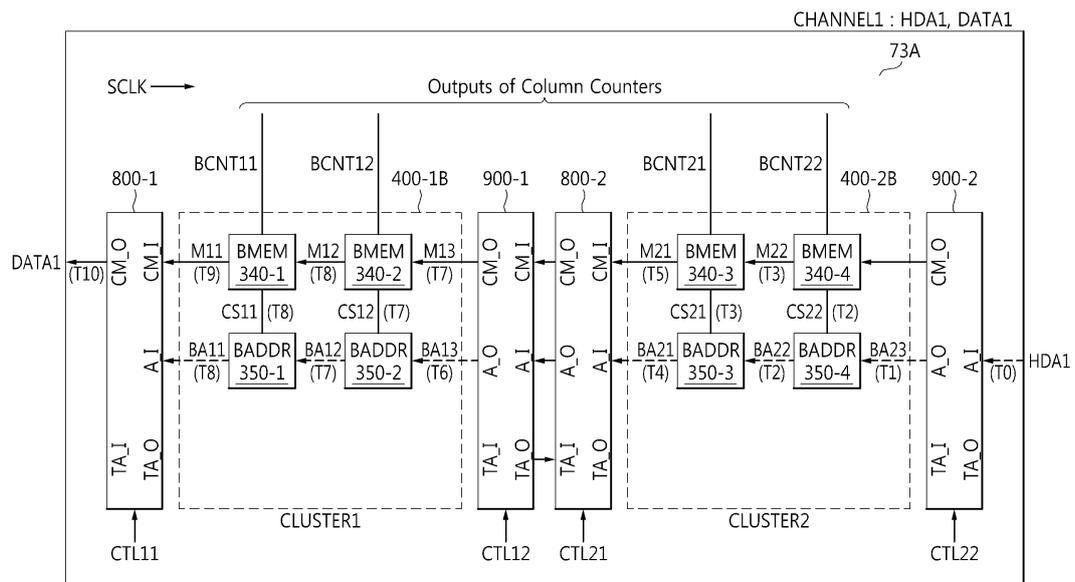
도면10



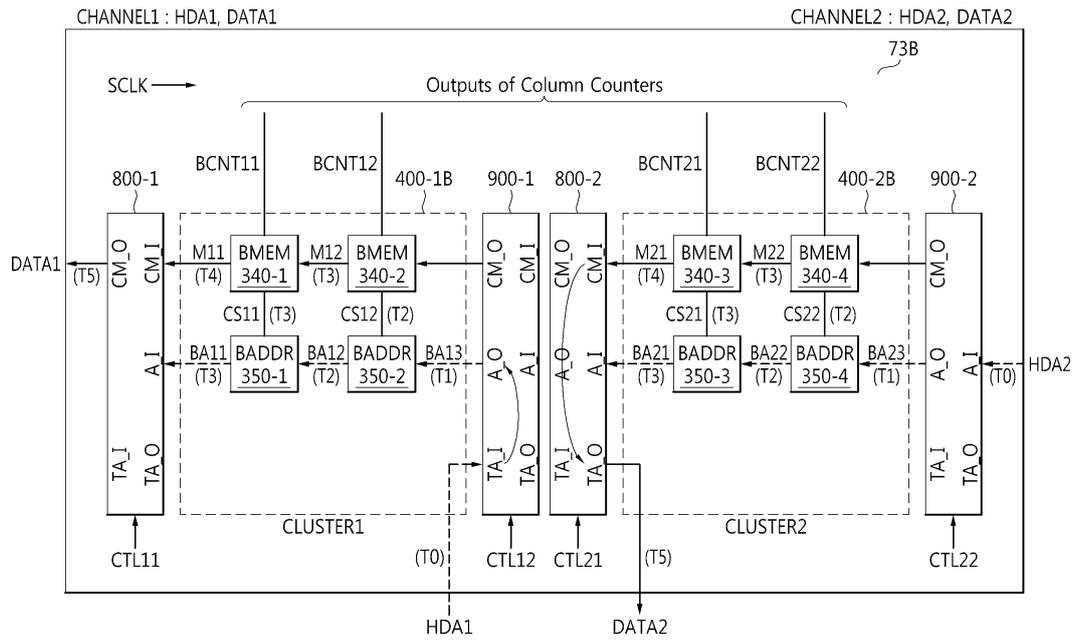
도면11



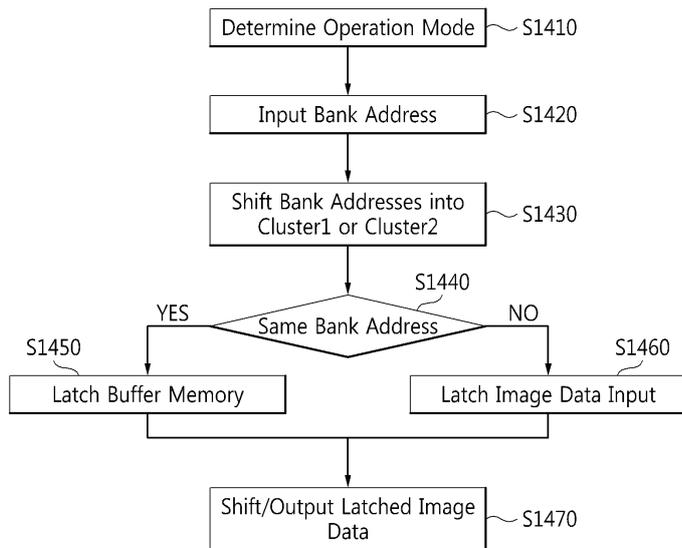
도면12



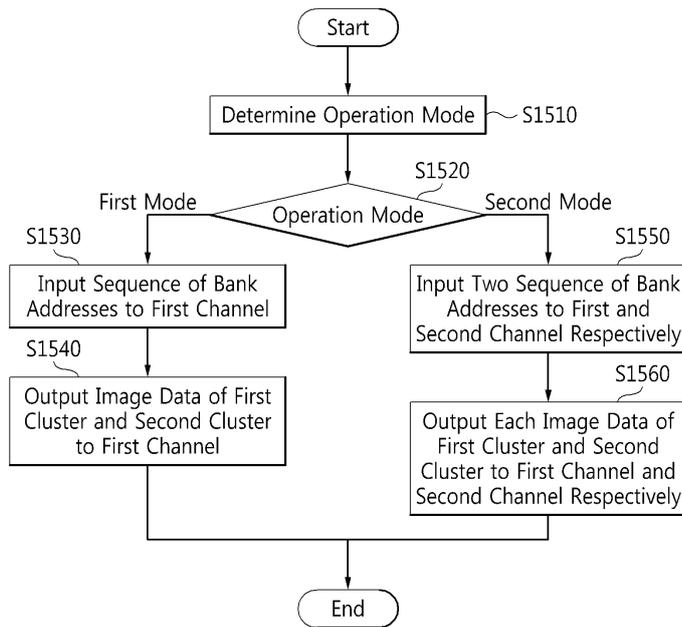
도면13



도면14

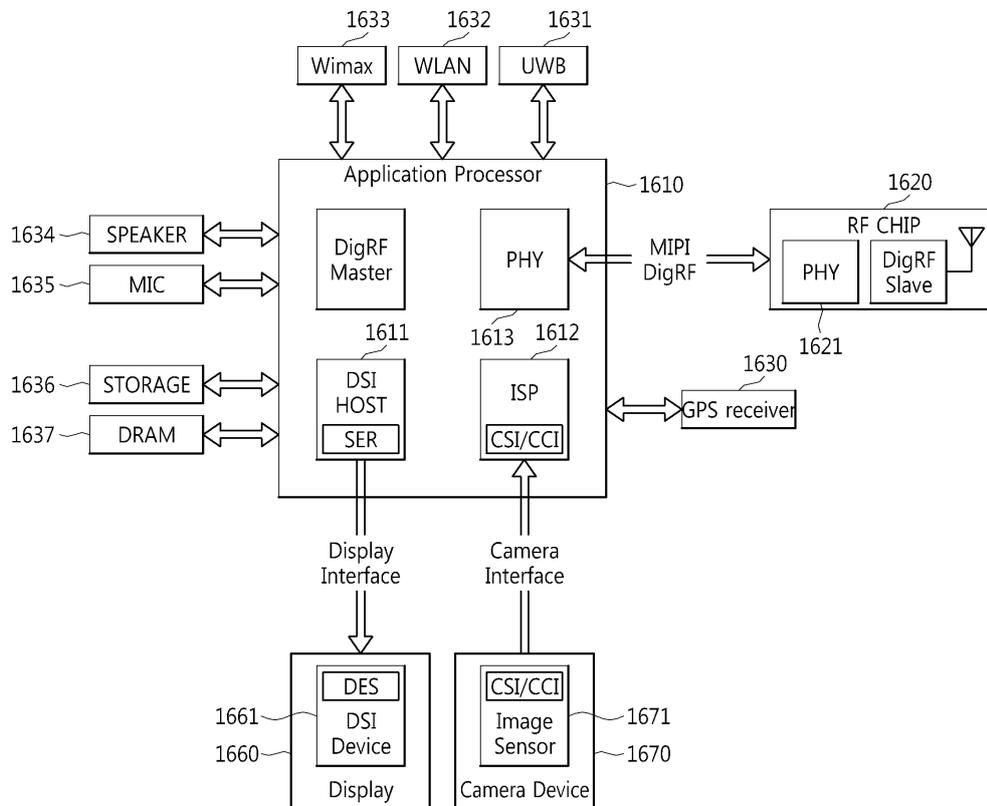


도면15



도면16

1600



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 10

【변경전】

이미지 센서; 및

제1채널을 통해 상기 이미지 센서와 접속된 제1이미지 신호 프로세서를 포함하고,

상기 이미지 센서는,

복수의 픽셀들을 포함하는 픽셀 어레이;

상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기;

상기 제1채널에 접속되고, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 출력하는 제1클러스터;

상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 출력하는 제 2 클러스터;

상기 제1클러스터와 상기 제2클러스터 사이에 접속된 적어도 하나의 클러스터 스위치;

제1 파이; 및

제2 파이를 포함하고,

상기 제1 클러스터는 상기 제1 그룹의 디지털 신호들을 수신하여 저장하는 제1 버퍼 메모리 블록, 상기 제1 버퍼 메모리 블록에 저장된 상기 제1 그룹의 디지털 신호들을 전송받는 제1 데이터 버스 및 상기 제1 데이터 버스와 접속된 제1 센스 앰프를 포함하고,

상기 제1 파이는 상기 제1 센스 앰프와 상기 제1 채널 사이에 접속되고 상기 제1 센스 앰프의 출력 신호의 프로토콜을 변환하고,

상기 적어도 하나의 클러스터 스위치는,

상기 제1채널과 상기 제1클러스터 사이에 접속된 제1클러스터 스위치;

상기 제1클러스터 및 상기 제2클러스터 사이에 직렬로 연결된 제2클러스터 스위치와 제3클러스터 스위치;

상기 제2클러스터와 상기 제2채널 사이에 연결된 제4클러스터 스위치를 포함하고,

상기 제1클러스터는 상기 제1클러스터 스위치와 상기 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 상기 제3클러스터 스위치와 상기 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

상기 설정된 동작 모드에 기초하여 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는, 서로 접속된 상기 제2클러스터 스위치와 상기 제3클러스터 스위치를 통해, 상기 복수의 제1뱅크 버퍼 유닛들 각각으로 전송되는 이미지 처리 시스템.

【변경후】

이미지 센서; 및

제1채널을 통해 상기 이미지 센서와 접속된 제1이미지 신호 프로세서를 포함하고,

상기 이미지 센서는,

복수의 픽셀들을 포함하는 픽셀 어레이;

상기 복수의 픽셀들로부터 출력된 아날로그 픽셀 신호들을 디지털 신호들로 변환하는 아날로그 디지털 변환기;

상기 제1채널에 접속되고, 상기 디지털 신호들 중에서 제1그룹의 디지털 신호들을 저장하고 출력하는 제1클러스터;

상기 디지털 신호들 중에서 제2그룹의 디지털 신호들을 저장하고 출력하는 제 2 클러스터;

상기 제1클러스터와 상기 제2클러스터 사이에 접속된 적어도 하나의 클러스터 스위치;

제1 파이; 및

제2 파이를 포함하고,

상기 제1 클러스터는 상기 제1 그룹의 디지털 신호들을 수신하여 저장하는 제1 버퍼 메모리 블록, 상기 제1 버퍼 메모리 블록에 저장된 상기 제1 그룹의 디지털 신호들을 전송받는 제1 데이터 버스 및 상기 제1 데이터 버스와 접속된 제1 센스 앰프를 포함하고,

상기 제1 파이는 상기 제1 센스 앰프와 상기 제1 채널 사이에 접속되고 상기 제1 센스 앰프의 출력 신호의 프로토콜을 변환하고,

상기 적어도 하나의 클러스터 스위치는,

상기 제1채널과 상기 제1클러스터 사이에 접속된 제1클러스터 스위치;

상기 제1클러스터 및 상기 제2클러스터 사이에 직렬로 연결된 제2클러스터 스위치와 제3클러스터 스위치;

상기 제2클러스터와 상기 제2채널 사이에 연결된 제4클러스터 스위치를 포함하고,

상기 제1클러스터는 상기 제1클러스터 스위치와 상기 제2클러스터 스위치 사이에서 직렬로 접속된 복수의 제1뱅크 버퍼 유닛들을 포함하고,

상기 제2클러스터는 상기 제3클러스터 스위치와 상기 제4클러스터 스위치 사이에서 직렬로 접속된 복수의 제2뱅크 버퍼 유닛들을 포함하고,

설정된 동작 모드에 기초하여 상기 복수의 제2뱅크 버퍼 유닛들 각각에 의해 처리된 이미지 데이터는, 서로 접속된 상기 제2클러스터 스위치와 상기 제3클러스터 스위치를 통해, 상기 복수의 제1뱅크 버퍼 유닛들 각각으로 전송되는 이미지 처리 시스템.